

AALTO-YLIOPISTO
SÄHKÖTEKNIIKAN KORKEAKOULU
Mikro- ja nanotekniikan laitos

Jarno Salomaa

DELTA-SIGMA-ANALOGIA-DIGITAALIMUUNNIN MATALA-
TEHOISIIN MIKROANTURISOVELLUKSIIN

Diplomityö, joka on jätetty opinnäytteenä tarkastettavaksi diplomi-insinöörin
tutkintoa varten Espoossa 30.5.2011

Työn valvoja:

Professori Kari Halonen

Työn ohjaaja:

TkT Lasse Aaltonen

Tekijä: Jarno Salomaa		
Työn nimi: Delta-sigma-analogia-digitaalimuunnin matalatehoisiin mikroanturisovelluksiin		
Päivämäärä: 30.5.2011	Kieli: Suomi	Sivumäärä: 10+74
Laitos: Mikro- ja nanotekniikan laitos		
Professuuri: Piiritekniikka		Koodi: S-87
Valvoja: Professori Kari Halonen		
Ohjaaja: TkT Lasse Aaltonen		
<p>Piistä valmistetut pienoisanturit ovat yleistymässä niiden luotettavuuden, edullisuuden ja pienen koon ansiosta. Usein anturisysteemin lähtösignaalia halutaan käsitellä digitaalisena, mikä vaatii analogia-digitaalimuuntimen toteuttamisen. Systemin integrointiasteen kasvattaminen on kannattavaa integroimalla rajapintaelektronikka, mukaan lukien analogia-digitaalimuunnin, mahdollisimman lähelle anturielementtiä.</p> <p>Tämän työn tavoitteena on suunnitella ja toteuttaa analogia-digitaalimuunnin matalatehoiseen mikroanturisovellukseen. Työssä suunniteltiin kaksiasteinen delta-sigma-analogia-digitaalimuunnin, joka käyttää kytkin-kondensaattoritekniikalla toteutettua silmukkasuodinta ja yksibittistä kvantisoijaa. Operaatiovahvistimen kohinan ja tulonsiirrosjännitteen vähentämiseksi muunnin käyttää erityistä korreloiva kaksoisnäytteistys -tekniikkaa ja tehon säästämiseksi tulon kaksoisnäytteistystä. Työssä esitellään myös onnistuneesti toteutettu korkeaimpedanssisen yhteismuodon jännitereferenssin käyttäminen tehon säästämiseksi.</p> <p>Piiri toteutettiin integroituna piirinä 0,35 μm:n CMOS-valmistusteknologialla. Työssä esitetään suunniteltu piiri ja sen mittaustulokset. Signaaliikaistalla DC:ltä 1 kHz:iin piiri saavutti 83 dB:n signaali-kohinasuhteen ja 80 dB:n signaali-kohinasärsuhteen. Tulon redusoiduksi kohinatiheydeksi mitattiin 1,3 $\mu\text{V}/\sqrt{\text{Hz}}$. Piiri kuluttaa 170 μW tehoa 3,6 V:n jännitelähteestä.</p>		
Avainsanat: delta-sigma, sigma-delta, analogia-digitaalinen, kaksoisnäytteistys, korreloiva kaksoisnäytteistys, korkeaimpedanssinen yhteismuodon referenssi, kytkin-kondensaattori, integroitu piiri, anturi, mikroanturi		

Author: Jarno Salomaa

Title: Delta-sigma analog-to-digital converter for low-power microsensor applications

Date: 30.5.2011

Language: Finnish

Number of pages: 10+74

Department: Department of Micro- and Nanosciences

Professorship: Electronic Circuit Design

Code: S-87

Supervisor: Professor Kari Halonen

Instructor: D.Sc. Lasse Aaltonen

Miniature sensors made of silicon are becoming common due to their reliability, low price and small size. Often the output signal of the sensor system is required in digital form, which necessitates the implementation of an analog-to-digital converter. Increasing the level of integration of the system by integrating the interface electronics, including the analog-to-digital converter, as close to the sensor element as possible, is beneficial.

The goal of this work is to design and implement an analog-to-digital converter suitable for low power microsensor applications. A second order delta-sigma analog-to-digital converter using a switched capacitor loop filter with a single bit quantizer is designed. It utilizes a novel correlated double sampling technique for operational amplifier noise reduction and offset compensation, and input double sampling for power saving. Also, a high impedance common-mode voltage reference scheme for power saving is introduced and implemented successfully.

The circuit was implemented as an integrated circuit in 0.35 μm CMOS process technology. The measurement results are reported and can be summarized as a 83 dB signal-to-noise ratio and a 80 dB signal-to-noise-and-distortion ratio, on a signal band from DC to 1 kHz . The input referred noise density of the noise floor is 1.3 $\mu V/\sqrt{Hz}$. The power consumption of the circuit is 170 μW from a 3.6 V voltage supply.

Keywords: delta-sigma, sigma-delta, analog-to-digital, double sampling, correlated double sampling, high impedance common-mode reference, switched capacitor, integrated circuit, sensor, microsensor

Esipuhe

Tämä diplomityö on tehty Aalto-yliopiston sähkötekniikan korkeakoulussa Mikro- ja nanotekniikan laitoksella piiritekniikan yksikössä. Työ tehtiin osana kiihtyvyyssantureihin liittyvää tutkimusprojektia, jota ovat olleet rahoittamassa VTI Technologies Oy sekä teknologian ja innovaatioiden kehittämiskeskus Tekes.

Haluan kiittää työn valvojaa professori Kari Halosta tilaisuudesta työskennellä piiritekniikan yksikössä juuri tämän projektin parissa. Hän antoi mielenkiintoisen, erityisesti minua kiinnostavan aiheen, hoiti valvojan tehtävän innostavasti sekä lisäksi kannusti ja avusti julkaisun kirjoittamisessa. Kiitän häntä myös mahdollisuudesta osallistua kahteen merkittävään kansainväliseen konferenssiin.

Työn ohjaajalle ja projektin johtajalle TkT Lasse Aaltoselle kuuluu suurkiitokset erittäin asiantuntevasta ohjauksesta sekä korvaamattomista neuvoista piirisuunnitteluun, ja diplomityön sekä julkaisun kirjoittamiseen liittyen. Kiitän häntä perehdyttämisestä tutkimuksen maailmaan. Pidän hänen minulle siirtämiään tietotaitoa ja perspektiivejä suuressa arvossa. Huonotoverina hän mahdollisti kannustavan ja pirteän työhuoneilmapiirin.

Lisäksi kiitän sekä valvojaani että ohjaajaani kärsivällisyydestä, jota vaihto-opiskelulukukauteni aiheuttama viivytys diplomityön kirjoittamisessa vaati. Kiitän heitä myös kannustavasta ja suopeasta asennoitumisesta vaihto-opiskeluaikaisiini.

Projektin muut piirisuunnittelijat DI:t Mikail Yücetaş ja Antti Kalanti ansaitsevat kiitokset avoimesta yhteistyöstä ja avuliaasta asenteesta. Heidän omistautunut työskentelynsä auttoi motivoimaan omaa työntekoani ja uskomaan itseeni tiukimmankin aikataulutakarajan edessä. Lisäksi heitä tulee kiittämän hyvästä työhuonotoveruudesta ja -naapuruudesta.

Kiitän kollegaani ja opiskeluystävääni tekn. yo. Mika Pulkista solidaarisesta työskentely-, opiskelu- ja irrotteluseurasta, aina yhtä stimuloidusta työhuoneilmapiiristä, sekä hyvästä mielestä.

Kiitokset kuuluvat myös kollegoilleni Mika Kämäräiselle, Matti Paavolalle, Sanna Heikkiselle, Jakub Groniczille, Matthew Turnquistille, Helena Yllölle, Anja Meuroselle ja Lea Södermanille. Koko piiritekniikan yksikön henkilökuntaa on kiittäminen erityisen hyvästä työilmapiiristä, tutkimukseen, piirisuunnitteluun ja kirjoittamiseen liittyvistä neuvoista, kannustuksesta ja mielenkiintoisista keskusteluista sekä byrokratian selättämisessä.

Haluan kiittää vanhempiani Erjaa ja Kimmoa sekä pikkuveljeäni Jereä valtavasta järkkymättömästä tuesta opiskeluni ja muun elämäni suhteen sekä ymmärryksestä ja luottamuksesta. He ovat antaneet minulle parhaat mahdolliset lähtökohdat sekä mahdollisuuden keskittyä täysipainoisesti opintoihini. Isovanhempani, tätini, enoni ja setäni ansaitsevat myös kiitokset tukemisesta.

Suuri kiitos kuuluu ystäväilleni – niin Suomessa, Portugalissa kuin muuallakin maailmassa – jotka ovat kannustaneet ja tukeneet minua alusta alkaen, toisaalta olleet mukana seikkailuissa, ja toisaalta auttaneet rentoututumaan. Kiitän heitä diplomi-

työn teon aiheuttaman kiireen ja stressin ymmärtämisestä. Erityiskiitos Mikolle ja Liisalle kodin hengen luomisesta sekä Antille erityisen kannustavista sanoista ja kannustavasta hengestä. Kiitos Joanalle eri tavoin tukemisesta, sekä lämmöstä.

Lisäksi haluan kiittää ystävääni HuK Jessi Luotolaa arvokkaasta yhteistyöstä diplomityöni oikoluvussa. Hänen ansiostaan oikolukuprosessi nopeutui ja työn julkaisuvalmius varmistui.

Otaniemi, 30.5.2011

Jarno Salomaa

Sisältö

Esipuhe	iv
Sisällysluettelo	vi
Symbolit ja lyhenteet	viii
1 Johdanto	1
2 Teoreettinen tausta	4
2.1 AD-muuntaminen	4
2.1.1 AD-muunnin	4
2.1.2 Kvantisointikohina	6
2.1.3 Ylinäytteistys	7
2.1.4 Kohinanmuokkaus $\Delta\Sigma$ -muuntimessa	8
2.2 $\Delta\Sigma$ -muunnin systeemitasolla	12
2.2.1 Rakenne ja suunnittelun lähtökohdat	12
2.2.2 Silmukkasuodin	13
2.2.3 Kvantisoija ja DA-muunnin	17
2.3 $\Delta\Sigma$ -muunnin piiritasolla	18
2.3.1 Silmukkasuodin piiritasolla	18
2.3.2 Muuntimen toteuttaminen SC-integraattoreilla	19
2.3.3 Kaksoisnäytteistys	22
2.3.4 Operaatiovahvistimet	23
3 Piirisuunnittelu	29
3.1 Anturirajapinta ja suunnitteluvaatimukset	29
3.2 Topologia ja systeemitason piirisuunnittelu	31
3.3 Ylätason piirikaavio	35
3.4 Kytkimet	38
3.5 Operaatiovahvistimet	39
3.6 Korkeaimpedanssinen CM-jännitereferenssi	43
3.7 Kvantisoija	44
3.8 Virtareferenssi	45
3.9 Piirikuvio	46

3.10 $\Delta\Sigma$ -muuntimen piiritason simulaatiot	47
4 Ensimmäisen integraattorin kohina-analyysi	51
4.1 Kohinalähteet	51
4.2 Kohina SC-integraattorissa	53
4.3 Toteutetun integraattorin kohina	55
5 Mittaukset ja tulosten analysointi	59
6 Yhteenveto ja johtopäätökset	65
Viitteet	67
Liite A: Siirtofunktioiden johto kaksiasteisille FB- ja IF-FB-tyyppisille $\Delta\Sigma$-muuntimille	71
Liite B: Siirtofunktioiden johto kaksiasteisille FF- ja IF-FF-tyyppisille $\Delta\Sigma$-muuntimille	73

Symbolit ja lyhenteet

Symbolit

α	resistiivisyyden lämpötilakerroin
β	takaisinkytkentäkerroin
βA_{DC}	DC-silmukavahvistus
βGBW	silmukan yksikkövahvistuksen kaistanleveys
γ	transistorin kohinaparametri
Δ	kvantisointiväli
ϕ	kellosignaali
τ	aikavakio
μ_0	varauksenkuljettajien liikkuvuus transistorin kanavassa
A	vahvistus
A_{DC}	DC-vahvistus
A_{mod}	moduloivan signaalin amplitudi
BW	kaistanleveys (bandwidth)
C	kapasitanssi (capacitance)
C_{Δ}	kapasitanssivirhe, epäsovitus
C_{eq}	ekvivalentti kuormakapasitanssi
C_L	kuormakapasitanssi
C_{ox}	hilaoksidin kapasitanssi pinta-alayksikköä kohden
DR	dynaaminen alue (dynamic range)
$ENOB$	efektiivinen resoluutio (effective number of bits)
f	taajuus (frequency)
f_B	signaalikaistan korkein taajuus
f_N	Nyquistin taajuus (Nyquist rate, huom. <i>ei</i> Nyquist frequency)
f_s	näytetaajuus, näytteistystaajuus
FSR	asteikon täysi laajuus (full scale range)
GBW	yksikkövahvistuksen kaistanleveys (gain bandwidth)
g_{ds}	kanavakonduktanssi
g_m	siirtokonduktanssi
GM	vahvistusvara (gain margin)
GND	maapotentiaali 0 V, maa (ground)
H	siirtofunktio
HD_n	n:s harmoninen särökomponentti (harmonic distortion)
i	virta
I	DC-virta
I_{slew}	enimmäislähtövirta (slew current)
k_B	Boltzmannin vakio
K_i	kytkin i
M_i	MOS-transistori i
N	resoluutio
ni	solmu i

OSR	ylinäytteistyssuhde (oversampling ratio)
p	napataajuus
P	teho (power), tehonkulutus (power dissipation)
PM	vaihevara (phase margin)
q	varaus
$QNTF$	kvantisointikohinansiirtofunktio (quantization noise transfer function)
R	vastus, resistanssi (resistance)
R_{ON}	kytkinresistanssi (switch on-resistance)
R_{out}	lähtöresistanssi
$SFDR$	häiriötön dynaaminen alue (spurious free dynamic range)
$SNDR$	signaali-kohina-särösuhde (signal-to-noise-and-distortion ratio)
SNR	signaali-kohinasuhde (signal-to-noise ratio)
SNR_T	termisen kohinan rajoittama SNR
$SQNR$	signaali-kvantisointikohinasuhde (signal-to-quantization noise ratio)
SR	lähtöjännitteen enimmäismuuttumisnopeus (slew rate)
STF	signaalinsiirtofunktio (signal transfer function)
t	absoluuttinen aika
T	absoluuttinen lämpötila
v	jännite, potentiaali
V	DC-jännite, DC-potentiaali
$v_{DS,sat}$	transistorin saturaatiojännite
v_{fs}	täysimittainen sinimuotoinen signaali
$v_{inCM,r}$	operaatiovahvistimen tulon CM-alueen suuruus
v_L	silmukkasuotimen tulosignaali
$v_{n,LF}$	matalataajuinen kohinasignaali
v_n	kohinasignaali, kohinatiheys
V_{OS}	tulonsiirrosjännite
$v_{out,r}$	operaatiovahvistimen lähtöjännitealueen suuruus
v_Q	kvantisointikohinasignaali
v_s	hyötysignaali
V_T	transistorin kynnysjännite
\bar{v}	jännitteen v tehollis- (root mean square, RMS) arvo
$(W/L)_M$	transistorin M kanavanleveyden W ja -pituuden L suhde
Y	digitaalinen signaali
z	diskreettiaikaisen järjestelmän z -tason taajuusmuuttuja

Lyhenteet

$\Delta\Sigma$	delta-sigma
AD	analogia-digitaali
CDS	korreloiva kaksoinäytteistys (correlated double sampling)
CM	yhteismuotoinen (common-mode)
CMOS	komplementaarinen metallioksidipolijohde (complementary metal-oxide semiconductor)

CT	jatkuva-aikainen (continuous time)
DA	digitaali-analogia
DC	tasavirta (direct current)
DSP	digitaalinen signaalinkäsittely (digital signal processing)
DT	diskreettiaikainen (discrete time)
FB	hajautettu takaisinkytkentä (distributed feedback)
FC	laskostettu kaskodi (folded cascode)
FF	hajautettu myötäkytkentä (distributed feedforward)
FIR	äärellinen impulssivaste (finite impulse response)
IC	integroitu piiri (integrated circuit), mikropiiri
IF	hajautettu tulon myötäkytkentä (distributed input-feedforward)
MASH	kaskadi (multi-stage noise-shaping)
MOS	metallioksidipuolijohde (metal-oxide semiconductor)
NMOS	n-tyyppinen metallioksidipuolijohde (n-type metal-oxide semiconductor)
OTA	siirtokonduktanssivahvistin (operational transconductance amplifier)
PMOS	p-tyyppinen metallioksidipuolijohde (p-type metal-oxide semiconductor)
SC	kytkin-kondensaattori (switched capacitor)
S/H	sample and hold

1 Johdanto

Mikroanturi on nimensä mukaan mikrometriekokoluokkaan valmistettu anturi. Anturielementin pienentäminen mikrometriekokoluokkaan mahdollistaa uusien anturitekniikoiden käyttämisen ja usein myös antureiden ominaisuuksien parantamisen. Verrattuna makrokokoisiin antureihin, mikroanturit ovat kestävämpiä ja niitä voidaan pienen kokonsa ansiosta sijoitella vapaammin. Mikroanturia käyttämällä voidaan systeemin integrointiastetta kasvattaa, mikä pienentää systeemin kokoa ja hintaa massatuotannossa.

Elektronisen anturisysteemin suorituskykyä rajoittava tekijä on usein anturin lukeelektroniikka eli anturielektroniikka. Anturielektroniikan sisältämä integroitu piiri (IC, engl. integrated circuit) voidaan yhdistää anturielementtiin monella eri tavalla. Mikäli ne valmistetaan erillisille piialustoille, ne voidaan liittää toisiinsa liitoslangan tai nystykomponentti- (engl. flip-chip) tekniikan avulla, jolloin ne voidaan koteloida yhdeksi diskreetiksi komponentiksi. Erikseen koteloiminen on suorituskyvyn kannalta usein edellistä huonompi vaihtoehto, sillä parasiittiset ilmiöt ja häiriöt saattavat helposti kasvaa suorituskykyä rajoittaviksi tekijöiksi. Anturi voidaan myös valmistaa samalle piialustalle elektroniikan kanssa. Tämä ei välttämättä kuitenkaan paranna systeemin suorituskykyä, sillä anturielementin ja elektroniikan suorituskyvyn optimointi vaatii erilaiset valmistusteknologiat. [1]

Anturisysteemin lähtösignaali halutaan usein lukea digitaalisena. Mikroantureiden hyödyntäminen anturisysteemeissä tuo suunnittelijan käyttöön mahdollisuuden siirtää analogisen ja digitaalisen maailman rajapinnan lähemmäksi anturielementtiä, jopa samalle piialustalle. Näin parasiittisille ilmiöille ja häiriöille altis analoginen signaali voidaan muuttaa robustiksi digitaalseksi signaaliksi ennen sen siirtämistä esimerkiksi IC-kotelosta ulos. [2]

Signaali muunnetaan digitaalseksi analogia-digitaali- (AD) muuntimen avulla. Jotta AD-muunnin ei rajoittaisi anturisysteemin ominaisuuksia, on sen oltava suorituskyvyltään parempi kuin anturielementti ja anturielektroniikka. Tehon ja pintalan minimointi, tarkkuuden ja nopeuden maksimointi sekä näiden ominaisuuksien suhteiden optimointi kuuluu myös AD-muuntimen suunnitteluun. Oikea AD-muunnintyyppi on valittava aina sovellus- ja tapauskohtaisesti.

Delta-sigma- ($\Delta\Sigma$) AD-muunnin on tarkka ja suhteellisen matalatehoinen ylinäytteistävä ja kohinaa muokkava AD-muunnin. Ylinäytteistävä muuntimena se ei kuitenkaan yllä samoille kaistanleveyksille kuin esimerkiksi rinnakkais-, peräkkäisapproksimaatio- (engl. successive approximation register) ja liukuhihnamuuntimet. Pienillä ja keskisuurilla kaistanleveyksillä $\Delta\Sigma$ -muunnin on usein optimaalisin valinta. [3]

$\Delta\Sigma$ -muunnin voidaan toteuttaa suhteellisen edullisella IC-teknologialla, sillä $\Delta\Sigma$ -muuntimen tarkkuus ei riipu teknologian tarkkuudesta yhtä kriittisesti kuin edellä esimerkkeinä mainittujen muuntimien tarkkuus. $\Delta\Sigma$ -muunnin ei tarvitse jyrkkää laskeutumisenestosuodinta eikä välttämättä erillistä näytteistyspiiriä, mutta toisaalta desimointisuotimen tarve saattaa kasvattaa kokonaistehoa ja -alaa merkittävästi.

Tässä diplomityössä suunniteltiin $\Delta\Sigma$ -muunnin matalatehoiseen kapasitiiviseen mikroanturisovellukseen. Anturielektroniikan lähtösignaali on sample and hold (S/H) -tyyppinen eli diskreettiaikainen ja jatkuva-arvoinen. Lähtö on myös korkeaimpedanssinen – näytteistettäessä sitä voidaan kuormittaa ainoastaan passiivisella korkeaimpedanssisella kuormalla, kuten kondensaattorilla. Diskreettiaikainen (DT, engl. discrete time) muunnintopologia ja kytkin-kondensaattori- (SC, engl. switched capacitor) tekniikka soveltuvat tämän muuntimen toteuttamiseen.

Tyypillinen SC-tyyppinen $\Delta\Sigma$ -muunnin näytteistää signaalin ensimmäisellä kellon puolijaksolla ja siirtää näytteistetyn varauksen toisella puolijaksolla. Anturielektroniikka vaatii kuitenkin 75 % kellojaksosta näytteistämiseen, joten varauksensiirtoon jäisi vain 25 % kellojaksosta. Tyypillisesti näytteistäminen ja varauksensiirto voidaan vaihtoehtoisesti tehdä myös samassa kellovaiheessa. Tämä vaihtoehto ei soveltunut käytettäväksi, sillä anturielektroniikan lähtösignaalia ei saanut kuormittaa aktiivisella kuormalla lähtösignaalilta vaaditun yksinapaisen ja tarkan asettumisen takia. Tehon säästämiseksi $\Delta\Sigma$ -muuntimen ensimmäinen aste suunniteltiin tulosignaalia kaksoisnäytteistäväksi. Tässäkin ratkaisussa on varmistettava tulosignaalin korkeataajuisen kohinan alassekoittumisen olevan riittävän pientä. [4]

$\Delta\Sigma$ -muuntimet, kuten monet muutkin AD-muuntimet, saavat perinteisesti referenssijännitteensä matalaimpedanssisena jännitepuskureiden kautta. Jännitereferenssien ja -puskureiden aiheuttaman lisätehonkulutuksen välttämiseksi $\Delta\Sigma$ -muunnin toteutettiin kokonaan ilman matalaimpedanssisia jännitereferenssejä. Yhteismuodon (CM, engl. common-mode) referenssijännite tuotettiin korkeaimpedanssisella jännitereferenssillä ja matalaimpedanssisina referenssijännitteinä käytettiin käyttöjännitettä ja maata.

Lisäksi tutkittiin mahdollisuutta ja tarvetta yhdistää edellä mainitut ratkaisut erityyppisiin $\Delta\Sigma$ -muuntimen silmukkasuodintopologioihin. Hajautettua tulon myötäkytkentää (IF, engl. distributed input-feedforward) ja hajautettua myötäkytkentää (FF, engl. distributed feedforward) tutkittiin vaihtoehtoina tavanomaiselle hajauteleille takaisinkytkennälle (FB, engl. distributed feedback).

Suorituskyvyn parantamiseksi $\Delta\Sigma$ -muuntimen ensimmäiseen asteeseen sovellettiin niin sanottua korreloivaa kaksoisnäytteistystä (CDS, engl. correlated double sampling) [5], [6]. Erityisen haasteellista CDS:n suunnittelusta teki anturielektroniikan määräämä kellovaiheiden ajoitus, tulosignaalin kaksoisnäytteistyksen käyttäminen sekä matalaimpedanssisen CM-referenssijännitteen puuttuminen yhdessä tehonsäästövaatimusten kanssa.

Desimointisuodinta ei suunniteltu tämän työn yhteydessä, sillä se kuuluu osaksi $\Delta\Sigma$ -muuntimen syöttämää DSP- (digitaalinen signaalinkäsittely, engl. digital signal processing) lohkoa. Desimointisuodimesta saadaan myös pienempi ja matalatehoisempi, kun se toteutetaan DSP-lohkon yhteyteen digitaalielektroniikalle sopivalla IC-teknologialla verrattuna analogiaelektroniikalle sopivaan IC-teknologiaan. Tässä työssä samalle IC:lle toteutettu desimointisuodin olisi ollut pinta-alaltaan samaa kokoluokkaa kuin toteutettu $\Delta\Sigma$ -muunnin ja teholtaan yli kymmenesosa $\Delta\Sigma$ -muuntimen tehosta.

Tässä työssä esitellään ensin AD-muuntimen ja $\Delta\Sigma$ -muuntimen sekä sen piiritoteutusmahdollisuuksien teoriaa luvussa 2. Tämän jälkeen luvussa 3 käydään läpi $\Delta\Sigma$ -muuntimen ja sen osien systeemi- ja piiritason suunnittelu. Luvussa 4 analysoidaan toteutetun ensimmäisen integraattorin kohina. Prosessoidun piirin mittaustulokset raportoidaan ja analysoidaan arvioiden suunnitteluvaatimusten toteutumista sekä ratkaisujen onnistumista luvussa 5. Lopuksi viimeisessä luvussa 6 esitetään yhteenveto ja johtopäätökset sekä kootaan parannusehdotuksia.

2 Teoreettinen tausta

Signaalin siirtäminen ja käsittely halutaan usein tehdä digitaalisena. Muunnoksen tekeminen analogisesta alueesta digitaaliseen on kannattavaa ainoastaan, jos signaalin tarkkuus säilyy muunnoksessa riittävänä. Tarkkuus on riittävä, kun digitaalseksi muunnetun signaalin signaali-kohinasuhde SNR (engl. signal-to-noise ratio) ja signaali-kohina-särösuhde $SNDR$ (engl. signal-to-noise-and-distortion ratio) ovat tietyllä kaistalla vaatimusten mukaiset. Nämä suhteet määritellään hyötysignaalin tehollisarvon \bar{v}_s ja kohinan tehollisarvon \bar{v}_n suhteena

$$SNR = 20 \log \left(\frac{\bar{v}_s}{\bar{v}_n} \right), \quad (1)$$

sekä hyötysignaalin tehollisarvon ja yhteenlasketun kohinan ja harmonisen särön tehollisarvon $\bar{v}_{n,d}$ suhteena

$$SNDR = 20 \log \left(\frac{\bar{v}_s}{\bar{v}_{n,d}} \right). \quad (2)$$

$\Delta\Sigma$ -muunnin soveltuu muuntamaan kapeakaistaisen signaalin tarkasti digitaalseksi niin sanotun $\Delta\Sigma$ -modulaation avulla. Näytteistystaajuutta kasvattamalla sen tarkkuus saadaan teoriassa aina termisen kohinan, 1/f-kohinan ja harmonisen särön rajoittamaksi. Todellisen maailman epäideaalisuudet tietysti määräävät näytteistystaajuudelle ylärajan ja käytännöllisemmin katsoen rajan, jota korkeammalla taaajuudella näytteistämisen edut eivät enää kompensoi tehonkulutuksen kasvua.

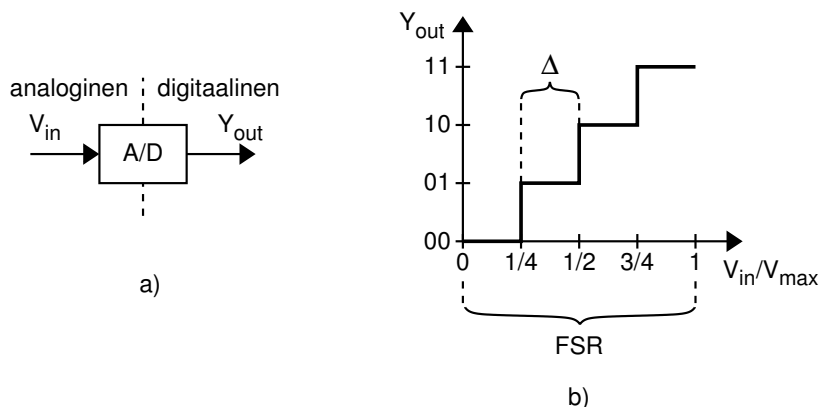
$\Delta\Sigma$ -muuntimen suosio perustuu myös sen piiritoteutuksen yksinkertaisuuteen ja luontaiseen IC-teknologian epätarkkuuksien sietoon. Diskreettiaikaisen $\Delta\Sigma$ -muuntimen siirtofunktiot skaalautuvat kellotaajuuden mukana. SC-tekniikalla toteutetun $\Delta\Sigma$ -muuntimen siirtofunktion määrää epätarkan resistanssi-kapasitanssisuhteen sijasta tarkempi kapasitanssi-kapasitanssisuhde. Voidaan sanoa, että SC-tyyppinen $\Delta\Sigma$ -muunnin käyttää hyväkseen IC-teknologian tarkat puolet ja toisaalta ei kärsi sen epätarkimmista puolista.

Tässä luvussa esitellään AD-muunnin ensin mustana laatikkona, minkä jälkeen käsitellään AD-muuntimen toteuttamista $\Delta\Sigma$ -muuntimen avulla sekä systeemi- että piiritasolla. Luvussa tuodaan esiin kvantisointikohina tärkeänä analysoinnin käsitteenä ja suunnittelun työkaluna.

2.1 AD-muuntaminen

2.1.1 AD-muunnin

Karkeasti sanottuna AD-muunnin on laite, joka muuttaa analogisen signaalin digitaalseksi. Tähän muunnokseen kuuluva teho, aika ja toisaalta myös IC:n pinta-ala määräytyvät muunnosvaatimuksista ja muunnintyyppin valinnasta. Kaikki AD-muuntimet voidaan kuitenkin kuvata ns. mustina laatikoina, joiden heräte on analoginen signaali ja vaste digitaalinen, kuten kuvassa 1 a) on esitetty.



Kuva 1: a) AD-muunnin mustana laatikkona ja b) sitä vastaava ominaiskäyrä (esimerkkinä 2-bittinen muunnin). V_{max} viittaa suurimpaan mahdolliseen muunnettavaan jännitteeseen pienimmän ollessa nolla.

Ideaalisen AD-muuntimen lähdön riippuvuus tulosta on esitetty kuvassa 1 b) (esimerkkinä 2-bittinen muunnin). Kuvasta nähdään, kuinka jatkuva-arvoinen analoginen signaali kuvautuu diskreettiarvoiseksi digitaaliseksi signaaliksi. Määritellään kuvan avulla seuraavat käsitteet: Asteikon täysi laajuus FSR (engl. full scale range) on analogisen signaalin muunnettavissa olevien maksimi- ja minimiarvojen erotus. Kvantisointitaso tarkoittaa digitaalisen signaalin yksittäisen jännitetason vastaamaa digitaalista arvoa. Resoluutio N on kvantisointitasojen lukumäärä muuntimessa. Kvantisointiväli Δ on yhtä kvantisointitasoa vastaavan analogisen signaalialueen suuruus.

Resoluutio ilmoittaa siis AD-muuntimen erotteluvälin kvantisointitasojen lukumääränä. Resoluutio ilmoitetaan yleensä bitteinä ja se voidaan määrittellä FSR :n ja Δ :n suhteena [7]:

$$N = \log_2 \left(\frac{FSR}{\Delta} \right). \quad (3)$$

Resoluutio ei ole tarkkuuden mitta, sillä se ei kerro mitään AD-kuvauksen oikeellisuudesta. Lähtösignaalin tarkkuutta voidaan kuvata muuntimen dynaamisella alueella DR (engl. dynamic range). Se on määritelty lähtösignaalin $SNDR$:nä, kun tul signaalina on täysimittainen (engl. full scale) sinimuotoinen signaali v_{fs} . Yhtälöä 2 käyttämällä saadaan [7]:

$$DR = 20 \log \left(\frac{\bar{v}_{fs}}{\bar{v}_{n,d}} \right). \quad (4)$$

Dynaaminen alue lausutaan usein bitteinä, jolloin puhutaan efektiivisestä resoluutiosta $ENOB$ (engl. effective number of bits)

$$ENOB = \frac{DR - 1,76 \text{ dB}}{6,02 \text{ dB}}. \quad (5)$$

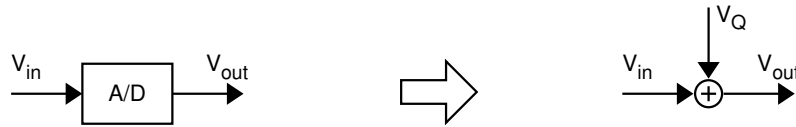
Tähän esitystapaan päästään myöhemmin esitetyn yhtälön perusteella.

2.1.2 Kvantisointikohina

Kvantisoiija on komponentti, joka suorittaa AD-muuntimessa analogisen jännitetason kuvaamisen digitaaliseksi. Kvantisoiija on luonnostaan epälineaarinen komponentti. Jatkuva-arvoisen analogisen signaalin muuttaminen diskreettiarvoiseksi digitaaliseksi signaaliksi tarkoittaa välttämättä analogisen arvon pyöristämistä ja pyöristysvirheen syntymistä. Tätä pyöristysvirhettä kutsutaan kvantisointivirheeksi.

Kvantisoiija voidaan kuitenkin linearisoida mallintamalla kvantisointivirhettä omana signaalinaan. Ideaalisen AD-muuntimen malli voidaan korvata kvantisointivirhesignaalin eli kvantisointikohinan v_Q summaamisella tulosaaliin v_{in} , kuten kuvassa 2 on esitetty. Hyötysignaalin tehollisarvon \bar{v}_s ja kvantisointikohinan tehollisarvon \bar{v}_Q suhdetta kutsutaan signaali-kvantisointikohinasuhteeksi $SQNR$ (engl. signal-to-quantization noise ratio):

$$SQNR = 20 \log \left(\frac{\bar{v}_s}{\bar{v}_Q} \right). \quad (6)$$



Kuva 2: AD-muunnin (A/D) voidaan mallintaa kvantisointivirheen v_Q summaamisena

Kvantisointikohinasignaali saa arvoja väliltä $-\frac{\Delta}{2} \dots \frac{\Delta}{2}$ ja on riippuvainen tulosaalista. Mikäli tulosaali ei ole pelkkä DC-signaali eikä näytteistystaajuus f_s ole tulosaalitaajuuden moninkerta, voidaan tehdä oletus kvantisointikohinan satunaisuudesta. Oletetaan, että kvantisointikohina on tasajakautunut amplitudialueelle $-\frac{\Delta}{2} \dots \frac{\Delta}{2}$. Tämä oletus johtaa approksimaatioon, jonka avulla kvantisointikohinan tehollisarvo voidaan laskea kuitenkin hyvin tarkasti. Tällöin kvantisointikohinan tehollisarvo määräytyy ainoastaan kvantisointiaskeleen suuruudesta [3], [7]:

$$\bar{v}_Q = \frac{\Delta}{\sqrt{12}}. \quad (7)$$

Vastaavasti täysinmittaisen sinimuotoisen signaalin (amplitudi $\Delta 2^{N-1}$) tehollisarvo on [7]

$$\bar{v}_{f_s} = \frac{\Delta 2^N}{\sqrt{8}}. \quad (8)$$

Sijoittamalla yhtälöt 7 ja 8 yhtälöön 6 saadaan yleisen AD-muuntimen $SQNR$:ksi

$$SQNR = N 20 \log(2) + 20 \log \left(\sqrt{\frac{3}{2}} \right) \approx N \cdot 6,02 \text{ dB} + 1,76 \text{ dB}. \quad (9)$$

Tästä nähdään, että resoluution kasvattaminen yhdellä bitillä kasvattaa $SQNR$:ää likimain kuudella desibelillä. Ideaalisen AD-muuntimen kohina koostuu ainoastaan kvantisointikohinasta, jolloin $SQNR$ ja DR yhtyvät. Siten ideaalisen AD-muuntimen tapauksessa voidaan sijoittaa yhtälöön 9 $SQNR$:n tilalle DR . Ratkaisemalla tästä yhtälöstä N päädytään $ENOB$:n määritelmään ja yhtälöön 5.

2.1.3 Ylinäytteistys

AD-muuntimet voidaan jakaa ylinäytteistäviin ja lähellä Nyquistin taajuutta f_N (engl. Nyquist rate, viittaa taajuuteen, joka on kaksi kertaa tulosignaalin kaistanleveys BW : $f_N = 2BW$, huom. *ei* Nyquist frequency, joka viittaa näytteistystaajuuden f_s puolikkaaseen) näytteistäviin muuntimiin. Jälkimmäiseen tyyppiin kuuluvat AD-muuntimet, joiden näytteistystaajuus f_s on muutama kerta korkeampi kuin signaalin kaistanleveys BW . Ylinäytteistävä muunnin näytteistää puolestaan useita kertoja BW :tä suuremmalla taajuudella. Ylinäytteistyssuhde OSR (engl. oversampling ratio) määritellään näytteistystaajuuden ja Nyquistin taajuuden $f_N = 2BW$ suhteena [7]:

$$OSR = \frac{f_s}{f_N} = \frac{f_s}{2BW} . \quad (10)$$

Ylinäytteistykseen tarkoituksena on vähentää signaalikaistalle osuvaa kvantisointikohinaa. Vähentämisen periaatteena on kvantisointikohinan levittäminen signaalikaistaa huomattavasti laajemmalle kaistalle. AD-muunnoksen jälkeen signaalikaistan ulkopuolinen kohina voidaan suodattaa pois digitaalisesti. Lisäksi ylinäytteistykseen avulla vältetään tulosignaalin korkeataajuisien komponenttien laskostuminen, jolloin ei tarvita jyrkkää laskostumisenestosuodinta.

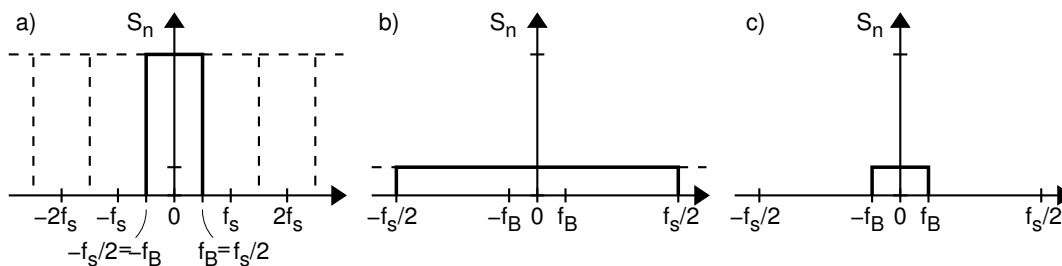
Edellisessä kappaleessa tehtiin oletus kvantisointikohinan tasajakautuneisuudesta amplitudialueessa. Oletetaan lisäksi kvantisointikohinan olevan tasajakautunut koko näytteistetyn signaalin taajuusalueessa $0 \dots f_s$. Yhtälön 7 mukaan voidaan todeta, että kvantisointikohinan tehollisarvo on vakio resoluution ollessa vakio. Pelkälle signaalikaistalle osuvan kvantisointikohinan tehollisarvoksi saadaan [7]:

$$\bar{v}_Q = \frac{\Delta}{\sqrt{12}} \cdot \frac{1}{\sqrt{OSR}} . \quad (11)$$

(Ideaalisen) digitaalisen suodatuksen jälkeen tämä on ainoa lähtösignaalissa näkyvä kvantisointikohina. Sijoittamalla yhtälöt 8 ja 11 yhtälöön 6 saadaan ylinäytteistävän AD-muuntimen $SQNR$:ksi

$$\begin{aligned} SQNR &= N 20 \log(2) + 20 \log\left(\sqrt{\frac{3}{2}}\right) + 20 \log(\sqrt{OSR}) \\ &\approx N \cdot 6,02 \text{ dB} + 1,76 \text{ dB} + 10 \log(OSR) . \end{aligned} \quad (12)$$

Tästä nähdään, että resoluution kasvattamisella on sama vaikutus kuin yleisen AD-muuntimen tapauksessa, mutta sen lisäksi ylinäytteistyssuhteella on oma vaikutuksensa: kun ylinäytteistävän muuntimen OSR kymmenkertaistetaan, muuntimen



Kuva 3: Pystyakselina on kohinatehoiteho S_n ja vaaka-akselina taajuus. DC:n ollessa kaistan alaraja BW on sama kuin signaalikaistan korkein taajuus f_B . a) Kvantisointikohinatehospektri, kun näytteistys tapahtuu Nyquistin taajuudella ($f_s = f_N = 2f_B \leftrightarrow f_B = f_s/2$). b) Kun näytteistystaajuutta kasvatetaan, kvantisointikohinateho leviää koko taajuuskaistalle ($0 \dots f_s/2$, $f_s = 2OSRf_B$). c) Kun signaalikaistan ulkopuolinen kohina suodatetaan digitaalisesti, jäljelle jää OSR :s osa alkuperäisestä kohinatehosta (kaistalle $0 \dots f_B$).

$SQNR$ kasvaa 10 dB. Kvantisointikohinatehon leviämistä laajemmalle kaistalle ja sen ideaalista suodattamista havainnollistetaan kuvassa 3.

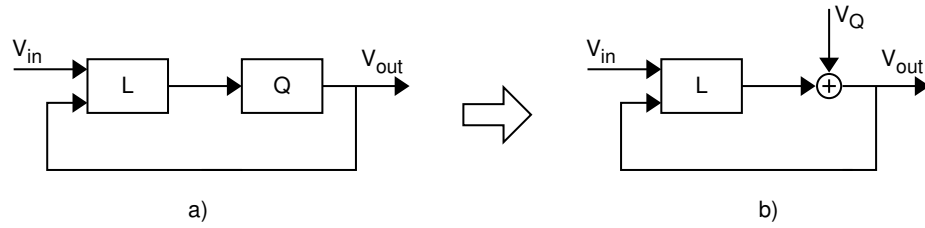
Yhtälön 12 perusteella voidaan sanoa, että OSR :n kymmenkertaistaminen kasvattaa $SQNR$:ää enemmän kuin yhden bitin lisääminen. Näytteistystaajuuden kasvattaminen AD-muuntimen tarkkuuden parantamiseksi voi olla resolution kasvattamista parempi keino, kun tarkastellaan vaikutuksia muuntimen tehonkulutukseen, pintalaan, kompleksisuuteen ja lineaarisuusvaatimuksiin.

Toisaalta ylinäytteistävä AD-muunnin vaatii desimointisuotimen, mutta toisaalta asettaa pienemmät vaatimukset analogiselle laskostumisenestosuotimelle. Tästä näkökulmasta katsottuna ylinäytteistämisen suosiminen siirtää tarvittavaa signaalinkäsittelyelektroniikkaa analogiselta alueelta digitaaliselle, mikä on tarkkuuden sekä tehonkulutuksen kannalta usein suotavaa. Ylinäytteistyksestä voidaan hyötyä vieläkin enemmän, kuten seuraavassa kappaleessa näytetään.

2.1.4 Kohinanmuokkaus $\Delta\Sigma$ -muuntimessa

Signaalikaistalle jäävää kvantisointikohinatehoa voidaan vähentää edelleen kvantisointikohinan takaisinkytkennällä. Menetelmä perustuu kvantisointikohinansiirtofunktion $QNTF$ (engl. quantization noise transfer function) muokkaamiseen samalla, kun signaalinsiirtofunktio STF (engl. signal transfer function) pidetään vaimentamattomana. Tavoitteena on minimoida $QNTF$ signaalikaistalla ja pitää STF signaalikaistalla vaimentamattomana.

Tätä menetelmää kutsutaan kohinanmuokkaukseksi. Takaisinkytketty AD-muunnin voidaan kuvata systeemitasolla silmukkasuotimen ja kvantisoijan avulla, kuten kuvassa 4 a) on esitetty. Kvantisoija on jo itsessään AD-muunnin, mutta epäselvyyden välttämiseksi tässä työssä käytetään AD-muunnin-nimitystä koko muunninsysteemille ja kvantisoija-nimitystä AD-muuntimen osalle, joka kvantisoii analogisen sig-



Kuva 4: Kohinaa muokkaava AD-muunnin kuvattuna a) silmukkasuotimen L ja kvantisoijan Q avulla ja b) edelleen kvantisoija korvattuna kuvan 2 mukaisesti.

naalin. Kvantisoija voidaan mallintaa kvantisointikohinan summaamisena samoin kuin yleinenkin AD-muunnin edellä. Näin päästään kuvassa 4 b) esitettyyn lineaariseen malliin.

Kohinaa muokkaavan AD-muuntimen (jonka signaalikaistan alarajana on DC) silmukkasuodin pyritään suunnittelemaan niin, että $QNTF$:ksi saadaan ylipäästötyyppinen siirtofunktio ja STF :ksi (vähintään signaalikaistalla) vaimentamaton siirtofunktio. Tämä toteutuu yksinkertaisesti esimerkiksi käyttämällä integraattoria silmukkasuotimenä kuvan 5 tapaan. Kuvan 5 muunnin on esimerkki yksiasteisesta $\Delta\Sigma$ -muuntimesta. Korvaamalla kvantisoija (Q) kuvan 2 mukaisesti kvantisointivirheen summaamisena muuntimen siirtofunktioiksi saadaan [3]

$$STF = z^{-1} \quad (13)$$

ja

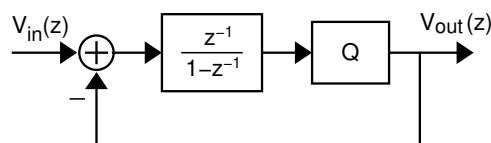
$$QNTF = 1 - z^{-1} . \quad (14)$$

Kuten haluttiin, STF ei aiheuta vahvistusta (eikä vaimennusta), vaan on pelkkä viive, ja $QNTF$ on ylipäästöfunktio. Kun ylinäytteistetty kohinatehospektri kerrotaan yhtälön 14 mukaisella siirtofunktiolla, saadaan AD-muuntimen lähdössä näkyväksi signaalikaistalle osuvaksi kvantisointikohinan tehollisarvoksi [7]:

$$\bar{v}_Q = \frac{\Delta\pi}{6} \left(\frac{1}{\sqrt{OSR}} \right)^3 . \quad (15)$$

Oletetaan jälleen digitaalisen suodatuksen poistavan kaiken signaalikaistan ulkopuolisen kvantisointikohinan ja täysimittaisen tulosignaalin näkyvän lähdössä muuttumattomana (taajuuden suhteen vakion STF :n ansiosta). Sijoittamalla yhtälöt 8 ja 15 yhtälöön 6 saadaan yksiasteisen $\Delta\Sigma$ -muuntimen $SQNR$:ksi

$$SQNR = N20 \log(2) + 20 \log \left(\frac{6}{\pi\sqrt{8}} \right) + 20 \log \left(OSR^{\frac{3}{2}} \right)$$



Kuva 5: Yksiasteisen $\Delta\Sigma$ -muuntimen lohkokaavio.

$$\approx N \cdot 6,02 \text{ dB} - 3,41 \text{ dB} + 30 \log(OSR) . \quad (16)$$

Yhtälöstä nähdään $\Delta\Sigma$ -tyyppisen muuntimen resoluution kasvattamisella olevan samanlainen vaikutus kuin yleisessä ja ylinäytteistävissä AD-muuntimissa. Sen sijaan ylinäytteistys vaikuttaa $SQNR$:ään voimakkaammin: OSR :n kymmenkertaistaminen kasvattaa $SQNR$:ää 30 dB , mikä on 20 dB enemmän kuin kohinaa muokkaamattoman ylinäytteistävän muuntimen tapauksessa.

Toisena esimerkkinä annetaan kuvassa 6 esitetty kaksiasteinen $\Delta\Sigma$ -muunnin, joka koostuu kahdesta integraattorista. Kerrointa 2 on käytetty toisella takaisinkytkentäpolulla STF :n ja $QNTF$:n saamiseksi havainnolliseen muotoon. Korvaamalla kvantisoiija (Q) kuvan 2 mukaisesti kvantisointivirheen summaamisena kuvasta 6 saadaan kaksiasteinen $\Delta\Sigma$ -muuntimen siirtofunktioiksi [3]

$$STF = z^{-2} \quad (17)$$

ja

$$QNTF = (1 - z^{-1})^2 . \quad (18)$$

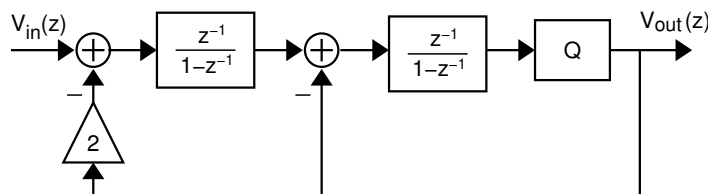
Jälleen STF muodostuu pelkästään viiveestä ja $QNTF$ on ylipäästöfunktio. Nyt $QNTF$:llä on kuitenkin kaksinkertainen nolla, joten sen aiheuttama suodatus on jyrkempi. Kaksiasteinen $\Delta\Sigma$ -muuntimen voidaan siis odottaa vaimentavan matalataajuisia kvantisointikohinaa vielä yksiasteista enemmän. Sen signaalikaistalle jäävä kvantisointikohintaeho on [7]

$$\bar{v}_Q = \frac{\Delta\pi^2}{2\sqrt{15}} \left(\frac{1}{\sqrt{OSR}} \right)^5 . \quad (19)$$

Tekemällä samat oletukset kuin yksiasteisen $\Delta\Sigma$ -muuntimen tapauksessa ja sijoittamalla yhtälöt 8 ja 19 yhtälöön 6 saadaan kaksiasteinen $\Delta\Sigma$ -muuntimen $SQNR$:ksi

$$\begin{aligned} SQNR &= N 20 \log(2) + 20 \log \left(\frac{2\sqrt{15}}{\pi^2\sqrt{8}} \right) + 20 \log \left(OSR^{\frac{5}{2}} \right) \\ &\approx N \cdot 6,02 \text{ dB} - 11,14 \text{ dB} + 50 \log(OSR) . \end{aligned} \quad (20)$$

Tästä nähdään, että kaksiasteinen $\Delta\Sigma$ -muunnin muokkaa kvantisointikohinaa yksiasteistakin tehokkaammin: resoluution vaikutus on yhä sama kuin aikaisemminkin, mutta OSR :n kymmenkertaistaminen kasvattaa $SQNR$:ää jo 50 dB .

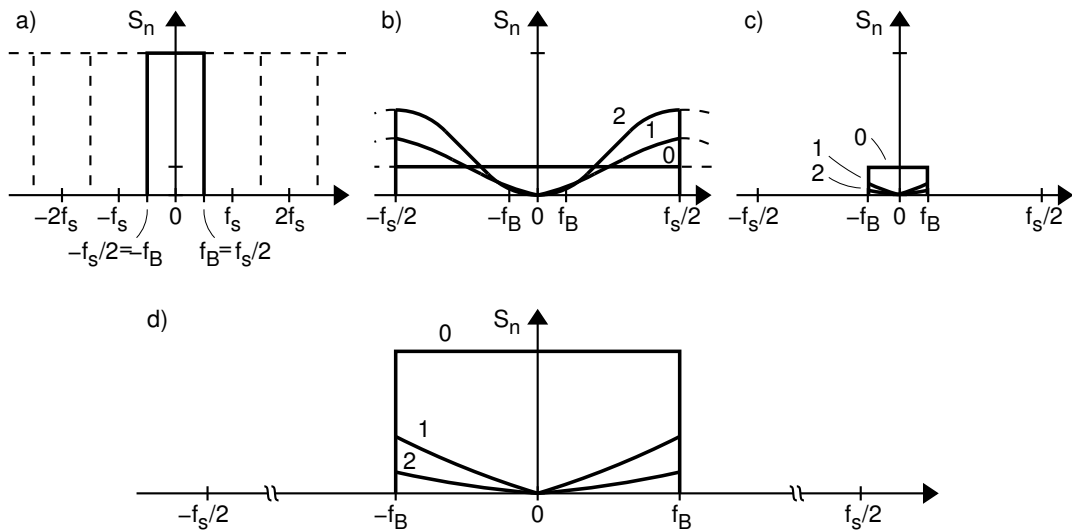


Kuva 6: Kaksiasteinen $\Delta\Sigma$ -muuntimen lohkokaavio.

Yksiasteisen (kaksiasteisen) $\Delta\Sigma$ -muuntimen $SQNR$:n lausekkeessa vakiotermi on $5,17\text{ dB}$ ($12,90\text{ dB}$) pienempi kuin yleisen ja ylinäytteistävän muuntimen $SQNR$:ien vakiotermi. Tämä ei ole olennaista, sillä kohinanmuokkauksen avulla mikä tahansa realistinen $SQNR$ saavutetaan $\Delta\Sigma$ -muuntimella selvästi edullisemmin, kuin ilman kohinanmuokkausta. Siten voidaan sanoa, että yksinkertaisen silmukkasuotimen käyttäminen yhdessä ylinäytteistyksen kanssa on tehokas tapa minimoida kvantisointikohinaa ja kasvattaa AD-muuntimen $SQNR$:ää.

Esitellyistä kohinaa muokkaavista AD-muuntimista voidaan yleisesti sanoa, että niiden $QNTF$:t suodattavat tasajakautuneen kvantisointikohinan, siten että kvantisointikohinatehotiheys on sitä matalampi, mitä matalampaa taajuutta tarkastellaan. $\Delta\Sigma$ -muuntimen kohinaa muokkaava luonne ja OSR :n kasvattamiseen perustuva signaalikaistan kvantisointikohinan tehokas vähentäminen tulevat esille kuvassa 7.

$\Delta\Sigma$ -muuntimen kohinanmuokkauskykyä ja sitä kautta sen $SQNR$:ää voidaan yhä kasvattaa asteita lisäämällä tai käyttämällä niin sanottua kaskadi- (MASH, engl. multi-stage noise-shaping) muuntimia tai muita monimutkaisempia rakenteita. Kasketänpäästö- ja kvadratuuri $\Delta\Sigma$ -muuntimet parantavat $\Delta\Sigma$ -modulaation soveltuvuutta kapeakaistaisten mutta korkeataajuisien signaalien muuntamiseen. Suorituskykyä voidaan edelleen kasvattaa optimoimalla $QNTF$:ää ja STF :ää. [3]

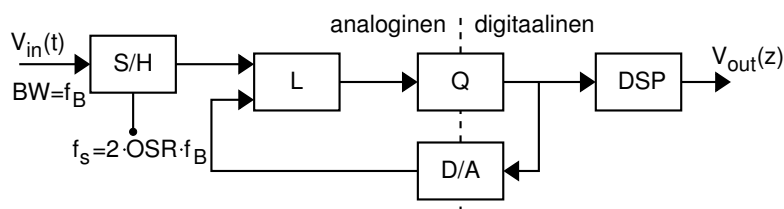


Kuva 7: Pystyakselina on kohinatehotiheys S_n ja vaaka-akselina taajuus. Kvantisointikohinatehospektrien vertailu ylinäytteistävän (spektri 0) sekä yksi- (spektri 1) ja kaksiasteisen (spektri 2) kohinaa muokkaavan ($\Delta\Sigma$ -) muuntimen välillä: a) Kvantisointikohinatehospektri, kun näytteistys tapahtuu Nyquistin taajuudella. b) Kun näytteistystaajuutta kasvatetaan ja käytetään kohinanmuokkausta, kvantisointikohinateho leviää koko taajuuskaistalle ($0 \dots f_s/2$, $f_s = 2OSRf_B$) ja spektri muokkautuu. c) Digitaalisen suodatuksen jälkeen jäljelle jäävä kvantisointikohina. d) Suurenos c)-kuvasta, molempia akseleita on kasvatettu OSR -kertaiseksi.

2.2 $\Delta\Sigma$ -muunnin systeemitasolla

2.2.1 Rakenne ja suunnittelun lähtökohdat

Kuten aiemmin todettiin, takaisinkytketty AD-muunnin voidaan kuvata silmukkasuotimen ja kvantisoijan avulla. Kun otetaan askel lähemmäksi muuntimen toiminnallisuutta, $\Delta\Sigma$ -muunnin voidaan kuvata yleisesti näytteistyslohkon, silmukkasuotimen, kvantisoijan, digitaali-analogia- (DA) muunnoslohkon ja desimointilohkon avulla, kuten kuvassa 8 on esitetty. Tämä malli kattaa hyvin kaikki tavanomaiset $\Delta\Sigma$ -muuntimet, muttei esimerkiksi MASH-muuntimia ja muita useamman kvantisoijan muuntimia, jotka kuitenkin ovat tämän työn ulkopuolella.



Kuva 8: $\Delta\Sigma$ -muunnin kuvattuna näytteistyslohkon (S/H), silmukkasuotimen (L), kvantisoijan (Q), DA-muunnoslohkon (D/A) ja desimointilohkon (DSP) avulla.

Itse muunnoksen analogisesta alueesta digitaaliseen tekee kvantisoija. $\Delta\Sigma$ -modulaattorin muodostava silmukkasuodin vastaa signaalin takaisinkytkennästä ja suodattamisesta, eli se toteuttaa $\Delta\Sigma$ -modulaation. Usein näytteistyslohko ja DA-muunnoslohko voidaan kuvata osana silmukkasuodinta. Desimointilohko on digitaalinen desimointisuodin, jolla kvantisoijan lähtösignaali muunnetaan halutulle sananleveydelle ja näytetaajuudelle, eikä sitä tarvitse sisällyttää muuntimien suunnitteluprosessiin.

Näin päädytään malliin, joka on esitetty jo kuvassa 4 b). Siihen kuuluu siis ainoastaan kvantisoijan lineaarinen malli kvantisointivirheen summauksena ja silmukkasuodin, johon on sisällytetty DA-muunnoslohko ja näytteistyslohko. Kvantisointivirheelle annettu oletus sen satunnaisuonteesta tuottaa vaihtelevissa määrin epätarkkuutta $\Delta\Sigma$ -muuntimen malliin, mutta viime kädessä systeemitason simulaatioilla saadaan vahvistettua mallin tarkkuuden riittävyys ja modulaattorin toimivuus.

Eri lohkojen epäideaalisuuksiin liittyvät virheet ja kohina voidaan usein esittää vastaavan virhesignaalin summaamisena, kuten jo kvantisointivirheen tapauksessa tehtiin. Siten voidaan perustellusti käyttää kuvan 4 b) mallia lähtökohtana $\Delta\Sigma$ -muuntimen analysoinnissa ja suunnittelussa.

$\Delta\Sigma$ -muuntimen kvantisointikohinan rajoittaman tarkkuuden määräävät OSR , kvantisoijan resoluutio, STF ja $QNTF$. Nämä tekijät muodostavat muuntimen suunnitteluavaruuden. Näytteistystaajuuden kasvattamista ja sitä kautta OSR :n kasvattamista rajoittavia tekijöitä ovat käytettävissä oleva teknologia, tehonkulutus ja IC:n parasiittisten komponenttien vaikutus. Kvantisoijan resoluutiossa käytännöllinen yläraja tulee vastaan piirin monimutkaistumisen ja tehonkulutuksen sekä tarkkuusvaatimusten kasvun takia.

Viiveellisen integraattorin siirtofunktio on

$$H_d(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (21)$$

ja viiveettömän integraattorin

$$H_{nd}(z) = \frac{1}{1 - z^{-1}}. \quad (22)$$

Kun molemmat integraattorit ovat viiveettömiä, siirtyy silmukan viive takaisin-kytkentään DA-muuntimen D/A kohdalle. Tällöin D/A korvataan yksikköviiveellä ($H_{D/A}(z) = z^{-1}$), kun se muissa tapauksissa jätetään pois mallista ($H_{D/A}(z) = 1$).

FB on usein käytetty, edellisessäkin luvussa esitetty silmukkasuodinrakenne. Sen kvantisointikohinanmuokkausperiaatteena on muuntimen lähtösignaalin takaisinkytkeminen kaikille silmukan integraattoreille ja integraattorin lähdön kytkeminen aina seuraavalle integraattorille. FB-topologia on käyttökelpoinen kolmessa eri integraattorikokoonpanossa: molemmat integraattorit ovat viiveellisiä, molemmat integraattorit viiveettömiä (jolloin DA-muuntimen siirtofunktio $H_{D/A}(z) = z^{-1}$) tai ensimmäinen integraattori viiveetön ja toinen viiveellinen (päinvastainen kokoonpano ei ole käyttökelpoinen, sillä se aiheuttaisi silmukkasuotimeen viiveettömän silmukan).

FF on harvemmin käytetty rakenne, jossa muuntimen lähtö kytketään ainoastaan ensimmäiselle integraattorille. Kunkin integraattorin lähtö kytketään seuraavan integraattorin tulon lisäksi myös suotimen lähtöön. FF-topologia on käyttökelpoinen kolmessa eri integraattorikokoonpanossa: molemmat integraattorit ovat viiveellisiä, molemmat integraattorit viiveettömiä (jolloin $H_{D/A}(z) = z^{-1}$), tai ensimmäinen integraattori viiveellinen ja toinen viiveetön (päinvastainen kokoonpano ei ole käyttökelpoinen, sillä se aiheuttaisi silmukkasuotimeen viiveettömän silmukan).

IF-rakennetta voi käyttää sekä FB- että FF-topologioissa. Rakennetta käyttämällä voidaan muokata *STF*:ää *QNTF*:stä riippumattomasti. Topologian mukaan *STF* voidaan suunnitella esim. FIR- (äärellinen impulssivaste, engl. finite impulse response) suotimeksi, jolloin $\Delta\Sigma$ -muuntimella voidaan myös vaimentaa tulosignaalin ei-toivottuja taajuuskomponentteja, tai yksikkövahvistukseksi, jolloin silmukkasuotimen ei tarvitse käsitellä tulosignaalia, vaan pelkkää kvantisointikohinaa, kuten myöhemmin tässä kappaleessa huomataan.

Yksinkertaisen FB-silmukkasuotimen etu FF-, IF-FB- ja IF-FF-silmukkasuotimiin on se, ettei sen toteuttamisessa tarvita summainta silmukkasuotimen lähtöön. Kuten kuvasta 9 nähdään, on myötäkytkentäkertoimien (a_3 , c_3 , d_3) lähdöt summattava ennen kvantisointia. Signaalien summaamisen toteuttaminen integraattoreiden tulossa on yksinkertaista, mutta summaaminen kvantisoijan tulossa ei ole yhtä yksioikoista. Vaikka aktiivisen summaimen sijaan voidaan usein käyttää passiivista summainta, saattavat piiri ja ajoitus monimutkaistua [8], [9], [10]. On myös olemassa topologiaratkaisuja, joilla summaaminen voidaan siirtää piiriratkaisussa viimeisen integraattorin tuloon [8].

Siirtofunktioiden kannalta FB- tai FF-rakenteilla voidaan toteuttaa keskenään samat $QNTF$:t, muttei samoja STF :iä. IF-rakenteen käyttäminen mahdollistaa samanlaisen STF :n toteuttamisen sekä IF-FB- että IF-FF-topologioilla, eikä vaikuta $QNTF$:ään.

Seuraavassa analysoidaan siirtofunktiot neljälle erilaiselle, kuvan 9 mukaiselle silmukkasuodintopologialle. Analysoitavat topologiat ovat FB ja IF-FB, joissa ensimmäinen integraattori on viiveetön ja toinen viiveellinen, sekä FF ja IF-FF, joissa molemmat integraattorit ovat viiveellisiä. Liitteessä A on esitetty siirtofunktioiden johto FB- ja IF-FB-tyyppisille ja liitteessä B FF- ja IF-FF-tyyppisille muuntimille. Siirtofunktioiksi saadaan

$$QNTF_{FB} = QNTF_{IF-FB} = \frac{(1 - z^{-1})^2}{1 + (b_1c_2c_3 + b_2c_3 - 2)z^{-1} + (1 - b_2c_3)z^{-2}}, \quad (23)$$

$$QNTF_{FF} = QNTF_{IF-FF} = \frac{(1 - z^{-1})^2}{1 + (b_1d_3 - 2)z^{-1} + (b_1c_2c_3 - b_1d_3 + 1)z^{-2}}, \quad (24)$$

$$STF_{FB} = \frac{a_1c_2c_3z^{-2}}{1 + (b_1c_2c_3 + b_2c_3 - 2)z^{-1} + (1 - b_2c_3)z^{-2}}, \quad (25)$$

$$STF_{IF-FB} = \frac{a_3 + (a_1c_2c_3 + a_2c_3 - 2a_3)z^{-1} + (a_3 - a_2c_3)z^{-2}}{1 + (b_1c_2c_3 + b_2c_3 - 2)z^{-1} + (1 - b_2c_3)z^{-2}}, \quad (26)$$

$$STF_{FF} = \frac{a_1d_3z^{-1} + (a_1c_2c_3 - a_1d_3)z^{-2}}{1 + (b_1d_3 - 2)z^{-1} + (b_1c_2c_3 - b_1d_3 + 1)z^{-2}} \quad (27)$$

ja

$$STF_{IF-FF} = \frac{a_3 + (a_1d_3 + a_2c_3 - 2a_3)z^{-1} + (a_1c_2c_3 + a_3 - a_1d_3 - a_2c_3)z^{-2}}{1 + (b_1d_3 - 2)z^{-1} + (b_1c_2c_3 - b_1d_3 + 1)z^{-2}}. \quad (28)$$

Huomataan, että STF :n ja $QNTF$:n nimittäjät ovat identtiset keskenään kussakin muunnintyyppissä. Niillä on siis samat navat parametreista riippumatta. $QNTF$:illä on kaksi nollaa DC:llä. STF :ien nollat ovat puolestaan muokattavissa a -parametrien avulla $QNTF$:ien nollista riippumatta.

Tutkitaan, minkälaisiksi siirtofunktiot voidaan muokata sopivilla kertoimien valinnoilla. Asettamalla FB- ja IF-FB-tyyppisten silmukkasuodinten parametreille $b_2c_3 = 1$ ja $b_1c_2c_3 = 1$ (esim. $b_1 = b_2 = c_2 = c_3 = 1$) sekä FF- ja IF-FF-tyyppisten silmukkasuodinten parametreille $b_1d_3 = 2$ ja $b_1c_2c_3 = 1$ (esim. $b_1 = c_2 = c_3 = 1$, $d_3 = 2$) (jolloin kaikilla siirtofunktioilla on kaksinkertainen napa origossa) saadaan

$$QNTF_{FB} = QNTF_{IF-FB} = QNTF_{FF} = QNTF_{IF-FF} = (1 - z^{-1})^2, \quad (29)$$

$$STF_{FB} = a_1z^{-1}, \quad (30)$$

$$STF_{IF-FB} = a_3 + (a_1c_2c_3 + a_2c_3 - 2a_3)z^{-1} + (a_3 - a_2c_3)z^{-2}, \quad (31)$$

$$STF_{FF} = a_1d_3z^{-1} + (a_1c_2c_3 - a_1d_3)z^{-2} \quad (32)$$

ja

$$STF_{IF-FF} = a_3 + (a_1d_3 + a_2c_3 - 2a_3)z^{-1} + (a_1c_2c_3 + a_3 - a_1d_3 - a_2c_3)z^{-2} . \quad (33)$$

Nyt *QNTF*:t toteuttavat kaksiaasteisen ylipäästöfunktion, joten silmukkasuodin toimii kvantisointikohinan kannalta kaksiaasteisena ylipäästösuotimena (ks. yhtälö 18) ja suodattaa kvantisointikohinaa pois signaalikaistalta kappaleessa 2.1.4 esitetyllä tavalla. STF_{FB} on skaalattu viive, joten FB-muunnin päästää tulosignaalin vaimentumattomana lävitseen. STF_{FF} on puolestaan yksikertainen FIR-suodin, joka voidaan mitoittaa tasaiseksi signaalikaistalla.

Tarkastellaan siirtofunktioita STF_{IF-FB} STF_{IF-FF} . Kun yhtälöön 31 valitaan parametrit $a_1 = b_1 = c_2^{-1}c_3^{-1}$, $a_2 = b_2 = c_3^{-1}$ ja $a_3 = 1$ ja toisaalta yhtälöön 33 parametrit $a_1 = b_1 = 2d_3^{-1} \rightarrow c_2c_3 = b_1^{-1} = d_3/2$, $a_2 = 0$ ja $a_3 = 1$, saadaan *STF*:ksi yksikkövahvistus. Tällöin IF-FB- ja IF-FF-muuntimet päästävät signaalin muuttumattomana ja viiveettömästi lävitseen.

Näin saavutetaan eräs toinenkin etu: näillä valinnoilla silmukkasuotimeen voidaan syöttää pelkkää suodatettua kvantisointikohinaa. Yksinkertaisuuden vuoksi olkoon lisäksi IF-FB:lle $a_1 = b_1 = a_2 = b_2 = c_2 = 1$ ja IF-FF:lle $a_1 = b_1 = c_2 = 1$. Tällöin IF-FB-silmukkasuotimen ensimmäiseen asteeseen syötetään signaali

$$V_{1,IF-FB}(z) = a_1V_{in}(z) - b_1V_{out}(z) = V_{in}(z) - V_{out}(z) , \quad (34)$$

toiseen asteeseen

$$V_{2,IF-FB}(z) = a_2V_{in}(z) - b_2V_{out}(z) = V_{in}(z) - V_{out}(z) , \quad (35)$$

sekä IF-FF-silmukkasuotimeen

$$V_{IF-FF}(z) = a_1V_{in}(z) - b_1V_{out}(z) = V_{in}(z) - V_{out}(z) . \quad (36)$$

Yhtälöt 34...36 voidaan kaikki kirjoittaa muodossa [3]

$$V_L(z) = V_{in}(z) - V_{out}(z) = -(1 - z^{-1})^2V_Q(z) . \quad (37)$$

Toisin sanoen silmukkasuotimeen syötetään pelkkää yhtälön 37 mukaista ylipäästösuodatettua kvantisointikohinaa. Valituilla kertoimilla silmukkasuodinten integraattoreiden lähtösignaaleiksi saadaan yhtälöiden 21, 22 ja 37 avulla (ks. kuva 9)

$$V_{H_1,IF-FB}(z) = V_L(z)H_{nd}(z) = -(1 - z^{-1})V_Q(z) , \quad (38)$$

$$V_{H_2,IF-FB}(z) = (c_2V_{H_1,IF-FB}(z) + V_L(z))H_d(z) = -z^{-1}V_Q(z) - z^{-1}(1 - z^{-1})V_Q(z) , \quad (39)$$

$$V_{H_1,IF-FF}(z) = V_L(z)H_d(z) = -z^{-1}(1 - z^{-1})V_Q(z) \quad (40)$$

ja

$$V_{H_2,IF-FF}(z) = c_2V_{H_1,IF-FF}(z)H_d(z) = -z^{-2}V_Q(z) . \quad (41)$$

Minkään integraattorin lähtö ei siis sisällä tulosignaalikomponenttia, vaan pelkkää suodatettua kvantisointikohinaa. Tämän ansiosta integraattoreiden lähtösignaalin amplitudi on pienempi IF-rakenteisessa silmukkasuotimessa kuin tavanomaisessa silmukkasuotimessa. Pienemmän amplitudin ansiosta silmukkasuotimen lineaarisuusvaatimukset helpottuvat [3]. Toisaalta amplitudi voidaan pitää samana skaalaamalla pienemmäksi integraattoreiden takaisinkytkentäkondensaattoreita, jotka vievät usein runsaasti piirialaa, ja näin ollen voidaan pienentää kokonaispiirialaa.

Toinen vaihtoehto STF :ien valinnassa on suunnitella niistä suotimia. Tällöin voidaan parametrien arvoja muuttamalla toteuttaa STF :llä suodatusfunktio tiettyjen tulosignaalin komponenttien vaimentamiseksi.

Edellä on käsitelty ainoastaan diskreettiaikaisen $\Delta\Sigma$ -muuntimen mallia. Tämä malli on pätevä ja jopa suositeltava myös jatkuva-aikaisella silmukkasuotimella toteutetun $\Delta\Sigma$ -muuntimen siirtofunktion suunnittelussa [11].

Topologiaavalinnan tulee perustua kohinansiirtofunktioiden suunnittelun lisäksi topologian vaatimien piiriratkaisujen toteutuskelpoisuuteen sekä sopivuuteen AD-muunninta edeltävän asteen kanssa. Saavutettavia etuja ja eri ratkaisujen tehonkulutuksia on tarkasteltava piiritasolla asti ennen lopullista valintaa.

2.2.3 Kvantisoija ja DA-muunnin

Mitä pienempi kvantisoijan resoluutio on, sitä yksinkertaisemmaksi kvantisoija ja DA-muunnoslohko voidaan suunnitella. Tämä tukee myös ajatusta siitä, että $\Delta\Sigma$ -tyyppisen muuntimen tarkkuus perustetaan korkeaan OSR :ään eikä korkeaan (sisäiseen) resoluutioon. Kvantisoijan resoluution kasvattaminen yli neljän tai viiden bitin vaatii jo monimutkaista kvantisoijaa, joten tätä voidaan pitää ylärajana toteutuskelpoiselle resoluutiolle [3].

On yleistä, että kvantisoijalle valitaan pienin mahdollinen resoluutio eli yksi bitti, sillä näin saavutetaan pienet komponenttien tarkkuusvaatimukset. Yksibittinen kvantisoija on yksinkertainen toteuttaa pelkällä komparaattorilla. Sen tulonsiirros on vakiovirhe, ja hystereesin aiheuttama virhe on pieni ja vastaa valkoista kohinaa [12]. Silmukkasuodin suodattaa nämä virheet samoin kuin kvantisointikohinan, joten ne vaimentuvat merkityksettömiksi.

Yksibittinen DA-muunnin on puolestaan luonnostaan lineaarinen, sillä sen ominaiskäyrän määrää vain kaksi pistettä [3]. Virhe yksibittisen DA-muuntimen siirtofunktiossa voidaan redusoida tulonsiirroksi ja vahvistus on aina vakio, sillä se kuvaa aina kaksi digitaalista arvoa kahdeksi analogiseksi arvoksi.

Yksibittisen kvantisoijan vahvistus on kuitenkin huonosti määritelty. Se on täysin riippuvainen kvantisoijan tulosignaalista, ja sen lähtö on jatkuvasti yliohtautunut [13]. Tämän takia $\Delta\Sigma$ -muuntimen silmukkahahvistus ei ole vakio, mikä tekee silmukan dynamiikasta vaikeasti ennustettavan.

Kvantisoijan resoluution kasvattaminen parantaa stabiilisuutta, sillä kvantisoijan vahvistuksen riippuvuus tulosignaalista pienenee. Lisäksi kvantisointikohinateho pie-

nenee kvantisointivirheen pienentyessä ja $SQNR$ kasvaa 6 dB bittiä kohden, kuten yhtälöistä 16 ja 20 voidaan todeta. [3]

Monibittinen DA-muunnin ei kuitenkaan ole luonnostaan lineaarinen. DA-muuntimen virhe redusoituu muuttumattomana $\Delta\Sigma$ -muuntimen tuloon, joten DA-muuntimelta vaaditaan samaa tarkkuutta kuin itse muuntimelta [7]. Komponenttien epäsovituksen aiheuttama epälineaarisuus voi rajoittaa koko muuntimen lineaarisuutta, jolloin ylinäytteistyksen ja kohinanmuokkauksen tuoma etu menetetään.

DA-muunnoksen tarkkuutta voidaan kasvattaa muun muassa erilaisin digitaalisin korjausmenetelmin, epäsovituksen aiheuttaman virheen tehospektriä muokkaamalla ja useampaa kvantisoijaa käyttämällä. [3], [14]

Kun muuntimelta vaaditaan korkeata tarkkuutta, on turvauduttava monibittisiin DA-muuntimiin stabiilisuuden tai tarkkuuden kasvattamisen sitä vaatiessa. Toisaalta suuritarkkuuksiset DA-muuntimet vaativat korjausmenetelmien käyttöä – tarkkuudeltaan (*ENOB*) jo yli 10...12 bitin DA-muuntimen toteuttaminen on vaikeaa [3].

Sisäisen resoluution kasvattaminen korkeilla tarkkuuksilla pakottaa siis usein korjausmenetelmien käyttöön. Toisaalta matalilla tarkkuuksilla (matalan *OSR*:n pakottaessa kasvattamaan sisäistä resoluutiota) korjausmenetelmiä harvoin tarvitaan.

2.3 $\Delta\Sigma$ -muunnin piiritasolla

2.3.1 Silmukkasuodin piiritasolla

$\Delta\Sigma$ -muuntimen silmukkasuodin voidaan toteuttaa jatkuva-aikaisena (CT, engl. continuous time) tai diskreettiaikaisena. Molempien aika-alueiden toteutuksilla on etunsa. Usein sovelluskohde määrää kannattavamman ratkaisun.

Diskreetin aika-alueen käytön suosio perustuu suurelta osin SC-tekniikan tuomiin etuihin. DT-suodin ei ole yhtä herkkä kellon epätarkkuudelle kuin CT-suodin. DT-suotimen laskennallisen mallin ja todellisen piirin välillä on tarkempi riippuvuus kuin CT-suotimen tapauksessa. Lisäksi DT-suotimen siirtofunktio skaalautuu suoraan kellotaajuuden mukana ja DT-integraattorilla on hyvät lineaarisuusominaisuudet. [3], [11], [15]

CT-suotimen edut tulevat esille korkeilla signaalitaajuuksilla ja laskostumisenesto tarvitsevilla sovelluksissa. CT-suotimen operaatiovahvistinten nopeusvaatimukset ovat DT-suotimien operaatiovahvistimia pienemmät, joten CT-modulaattori kykenee käsittelemään korkeampitaajuisia tulosignaaleja kuin DT-modulaattori. CT-suodin on tulosignaalin kannalta myös laskostumisenestosuodin. Tämän ansiosta se ei tarvitse erillistä laskostumisenestosuodinta. Lisäksi CT-modulaattorissa signaalin näytteistys tapahtuu vasta kvantisoijassa, jolloin näytteistykseen liittyvät virheet vaimentuvat silmukan ansiosta. [3], [11], [16]

Tavallisesti aktiivisin RC-suotimin toteutetun CT- $\Delta\Sigma$ -modulaattorin voi vaihtoehtoisesti toteuttaa myös gmC-suotimin. Tämä on kannattavaa silloin, kun vaatimuksi-

na on matala tehonkulutus, erittäin korkea signaalitajuus ja kohtalainen resoluutio. [17]

DT-silmukkasuodin toteutetaan yleisimmin SC-tekniikalla. Tällöin integraattorin siirtofunktion määrää integrointi- ja näytteistyskondensaattoreiden kapasitanssisuhde. Aktiivisin RC-integraattorein toteutetun CT-suotimen siirtofunktion määrää resistanssin ja kapasitanssin tulo, RC-tulo. CT-suotimen siirtofunktion, joka on toteutettu gmC-integraattorein, määrää siirtokonduktanssin ja kapasitanssin suhde, gm/C-suhde. IC-piirissä kapasitanssisuhteen suunniteltu arvo vastaa huomattavasti paremmin todellisen piirin arvoa kuin RC-tulon tai gm/C-suhteen suunniteltu arvo. Siten SC-silmukkasuotimen siirtofunktiot saadaan määritettyä tarkemmin kuin RC- tai gmC-silmukkasuotimen siirtofunktiot.

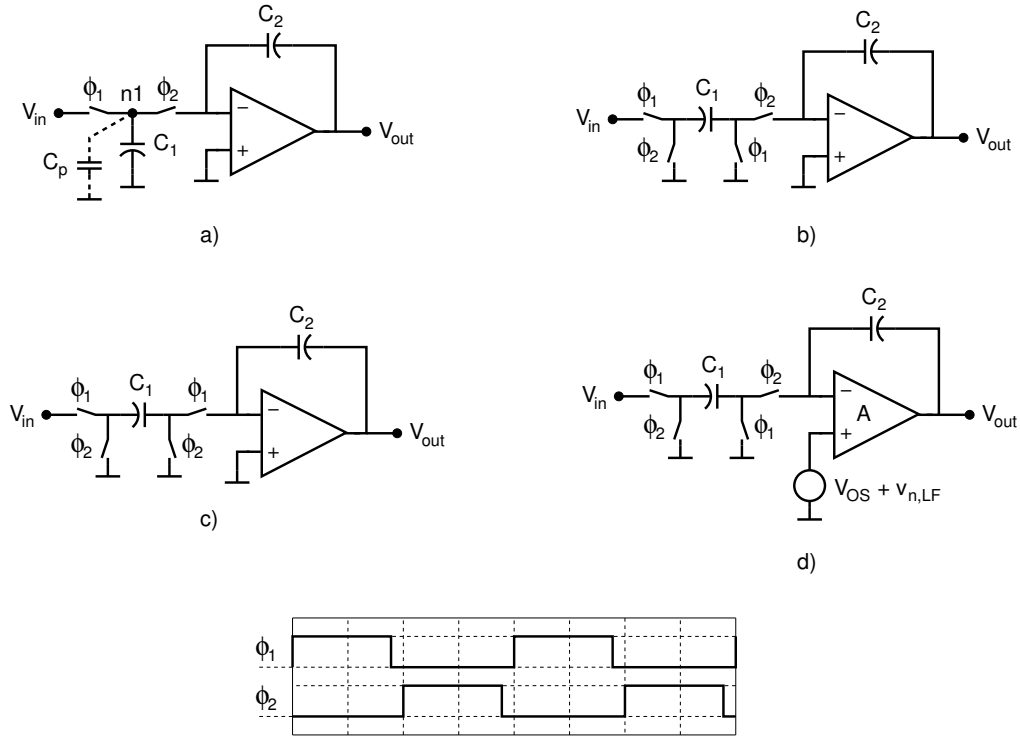
SC-suodin käsittelee jännitemuotoisia signaaleja. DT-suodin voidaan toteuttaa myös virrankytkentä- (engl. switched current) tekniikalla käyttäen hyväksi virtamuotoisia signaaleja [15]. Tällöin AD-muunnin voidaan toteuttaa digitaalisella CMOS-prosessilla. SC-tekniikasta on kehitetty matalille käyttöjännitteille sopiva kytkin-RC (engl. switched RC) -tekniikka [18]. On myös esitetty $\Delta\Sigma$ -muuntimia, joiden silmukkasuodin on toteutettu sekarakenteella (engl. mixed CT SC), jossa ensimmäinen integraattori toimii CT-alueessa ja toinen (sekä mahdolliset muut integraattorit) DT-alueessa. Koska CT-aste on ensimmäisenä, ei tulossignaalia tarvitse suodattaa erillisellä laskostumisenestosuotimella eikä puskuroida erikseen DT-osalle sopivaksi. Tämän tyyppinen $\Delta\Sigma$ -muunnin hyötyy sekä CT- että DT-piirien eduista. [16], [19]

2.3.2 Muuntimen toteuttaminen SC-integraattoreilla

SC-tekniikalla toteutettu $\Delta\Sigma$ -muuntimen silmukkasuodin koostuu SC-integraattoreista, joista kolme perustapausta on esitetty kuvissa 10 a), 10 b) ja 10 c). Tulossignaali näytteistetään kondensaattoriin C_1 ja siihen kerääntynyt varaus siirretään integrointikondensaattoriin C_2 . C_2 :n varaus siis muuttuu jokaisella kellojaksolla aina tulossignaaliin verrannollisen arvon verran, eli lähtöjännite v_{out} on tulojännitteen v_{in} integraali. Signaalit ϕ_1 ja ϕ_2 kuvaavat ei-päällekkäisiä kellovaiheita, joilla integraattoria operoidaan. Integraattorin siirtofunktion tyyppi riippuu integrointitavasta ja vahvistus kapasitanssisuhteesta.

Kuvassa 10 a) esitetty integraattori on viiveellinen (toimii ns. Forward Euler -menetelmällä) ja invertoiva. Sen siirtofunktio on altis solmussa $n1$ olevalle parasiiittiselle kapasitanssille C_p . Kuvan 10 b) integraattori on viiveellinen (Forward Euler) ja ei-invertoiva ja kuvan 10 c) integraattori viiveetön (Backward Euler) ja invertoiva. Näistä kummankaan siirtofunktio ei ole altis maata vasten näkyvän parasiiittisen kapasitanssin vaikutukselle, joten ne ovat siinä suhteessa suositeltavampia integraattorirakenteita kuin kuvan 10 a) integraattori. Integraattoreiden siirtofunktiot ovat [7], [20]

$$H_a(z) = -\frac{C_1 + C_p}{C_2} \cdot \frac{z^{-1}}{1 - z^{-1}} \approx -\frac{C_1}{C_2} \cdot \frac{z^{-1}}{1 - z^{-1}}, \quad (42)$$



Kuva 10: Kolme perustyyppistä SC-integraattoria: a) viiveellinen invertoiva (mallissa mukana parasiittinen kapasitanssi C_p , jolle siirtofunktio on altis), b) viiveellinen ei-invertoiva ja c) viiveetön invertoiva sekä d) kuvan b) integraattori, jonka mallissa on otettu huomioon operaatiovahvistimen epäideaalisuudet. Ei-päällekkäiset kello-signaalit ϕ_1 ja ϕ_2 on esitetty ajoitusdiagrammissa.

$$H_b(z) = \frac{C_1}{C_2} \cdot \frac{z^{-1}}{1 - z^{-1}} \quad (43)$$

ja

$$H_c(z) = -\frac{C_1}{C_2} \cdot \frac{1}{1 - z^{-1}} \quad (44)$$

Näillä integraattoreilla voidaan siis toteuttaa silmukkasuotimen yhtälöiden 21 ja 22 mukaiset integraattorit (tietyin etumerkkiehdoin). Kapasitanssisuhteella C_1/C_2 voidaan suoraan toteuttaa silmukkasuotimen vahvistusparametrit.

Operaatiovahvistimen epäideaalisuuksien takia SC-integraattorin siirtofunktio poikkeaa hieman edellä esitellyistä. Kuvassa 10 d) on esitetty malli, jossa on esimerkiksi kuvan 10 b) SC-integraattori seuraavat operaatiovahvistimeen liittyvät epäideaalisuudet huomioon otettuna: äärellinen vahvistus A , tulonsiirrosjännite V_{OS} ja operaatiovahvistimen tulon redusoitu matalataajuinen kohina $v_{n,LF}$, jonka taaajuus on huomattavasti kytkemistaaajuutta pienempi.

Analysoidaan kuvan 10 d) integraattorin virhelähteiden vaikutus. Kellovaiheessa ϕ_2 kondensaattoriin C_1 jää virhevaraus

$$q_e = C_1 \left(V_{OS} + v_{n,LF} - \frac{v_{out}}{A} \right) \quad (45)$$

Tämä varaus siirtyy myös kondensaattoriin C_2 ja aiheuttaa siinä jännitevirheen, joka redusoituna integraattorin tuloon on

$$v_e = V_{OS} + v_{n,LF} - \frac{v_{out}}{A} . \quad (46)$$

Virheessä on vakiotermi V_{OS} , hitaasti muuttuva (käytännössä satunnainen, mutta yhden jakson aikana likimain vakio) termi $v_{n,LF}$ sekä lähtöjännitteen arvosta riippuva termi v_{out}/A . Tulosignaalin v_{in} lisäksi integraattori integroi yhtälön 46 mukaista virhesignaalia v_e , joten integraattorin siirtofunktio ei ole enää halutun kaltainen.

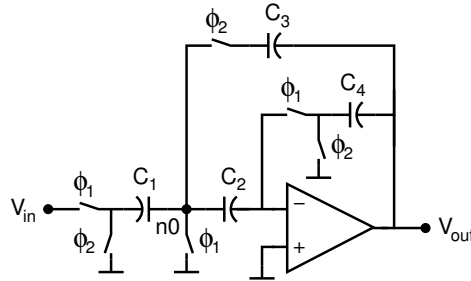
Virhesignaalin vaikutusta voidaan vähentää käyttämällä CDS-tekniikkaa. Kuvassa 11 on esitetty perustyyppinen CDS-integraattori.

Seuraavaksi analysoidaan integraattorin toimintatapa ja virhelähteiden vaikutus. Käytetään apuna kuvan 12 malleja kuvan 11 integraattorille kellovaiheissa ϕ_1 (kuva 12 a)) ja ϕ_2 (kuva 12 b)). Kellovaiheessa ϕ_1 kondensaattoriin C_2 näytteistyy jännite

$$v_{C_2} = V_- = V_{OS} + v_{n,LF} - \frac{v_{out}}{A} , \quad (47)$$

jossa V_- on operaatiovahvistimen ei-invertoivassa navassa näkyvä jännite. Kellovaiheessa ϕ_2 solmussa $n0$ näkyy jännite

$$v_{n0} = V_- - v_{C_2} = 0 . \quad (48)$$

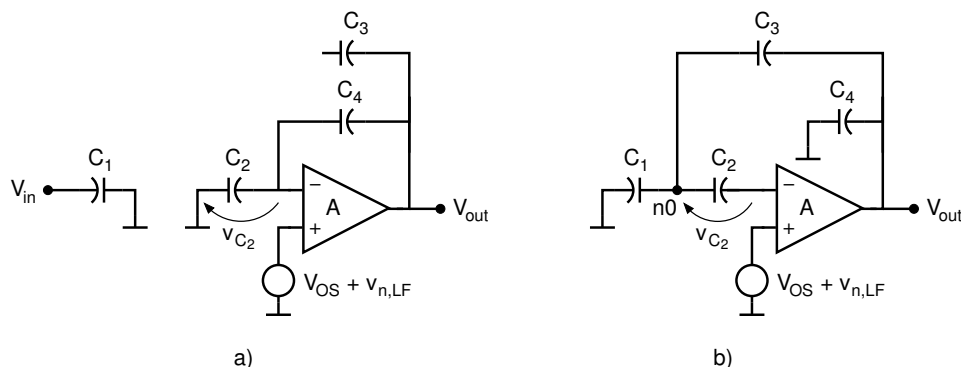


Kuva 11: Perustyyppinen CDS-integraattori.

Solmussa $n0$ on siis virhekompensoitu virtuaalimaa. Koska kapasitanssin C_1 varaus siirretään solmun $n0$ potentiaalia $v_{n0} = 0$ V vasten, ei C_1 :een jää virhevarausta, eikä siten C_3 :een siirry virhevarausta.

On huomattava, että edellisessä analyysissä on oletettu, ettei v_{out} muutu yhden kellojakson aikana. Tämä on hyvä approksimaatio matalalla lähdön taajuuskaistalla, mutta liian nopeasti muuttuva tulosignaali aiheuttaa virheen. On esitetty myös piirejä, joissa tämä virhe pystytään minimoimaan suuremmallakin taajuuskaistalla [5]. Toinen huomioitava asia on, että myös vahvistuksen A epälineaarisuus voi heikentää CDS-tekniikan tehokkuutta.

Edellä on käsitelty ainoastaan varauksensierrossa tapahtuvaa virhettä, eikä ole otettu suoraan kantaa siihen, miten virheet näkyvät lähtöjännitteessä. Tämä johtuu siitä, että lähtöjännitteen virhe redusoituu tuloon integraattorin siirtofunktion vaimentamana. Integraattorin vahvistus on suuri matalilla taajuuksilla, joten $\Delta\Sigma$ -muuntimen signaalikaistalla olevat virhekomponentit vaimentuvat huomattavasti.



Kuva 12: Kuvan 11 CDS-integraattori a) vaiheessa ϕ_1 ja b) vaiheessa ϕ_2 .

2.3.3 Kaksoisnäytteistys

Tavanomainen SC-integraattori, kuten kuvien 10 b) ja 10 c) integraattorit, käyttää varauksensiirtoon puolet kellojaksosta, mikä tarkoittaa, että operaatiovahvistin on käyttämättömänä toisen kellojaksos puolikkaan. Kaksoisnäytteistystä käyttämällä operaatiovahvistin voi käyttää hyväksi molemmat kellojaksos puolikkaat. Kuvassa 13 on esitetty kaksoisnäytteistävät SC-integraattorit sekä viiveellisellä että viiveetön rakenteella.

Kaksoisnäytteistävä integraattori toimii efektiivisesti kaksinkertaisella kellotaajuudella: se näytteistää tulosignaalin ja siirtää varauksen kahdesti kellojaksos aikana. On huomattava, että myös integraattorin jälkeisen asteen on kyettävä käsittelemään tulosignaalia kaksinkertaisella kellotaajuudella.

Kellotaajuuden efektiivinen kaksinkertaistuminen merkitsee myös OSR :n kaksinkertaistumista, mikä puolestaan kasvattaa $\Delta\Sigma$ -muuntimen $SQNR$:ää (kaksiasteisen $\Delta\Sigma$ -muuntimen tapauksessa yhtälön 20 mukaan 15 dB). Toisaalta mikäli efektiivistä kellotaajuutta ei ole tarve kasvattaa, voidaan kaksoisnäytteistävän SC-integraattorin kellotaajuus puolittaa. Tällöin varauksensiirtoon käytettävä aika kaksinkertaistuu ja operaatiovahvistimen nopeusvaatimusten pienentyessä sen tehoa voidaan pienentää.

Vaarana kaksoisnäytteistyksessä on kuitenkin integraattorin tulosignaalin korkea-



Kuva 13: Kaksi perustyyppistä kaksoisnäytteistävää SC-integraattoria: a) viiveetön invertoiva ja b) viiveellinen ei-invertoiva.

taajuisten komponenttien alassekoittuminen signaalikaistalle. Integraattorin siirtokomponentti vaihtuu puolen kellojakson välein, sillä kondensaattorit C_{1A} ja C_{1B} ovat aina hiukan epäsovitettuja keskenään. Tämän epäsovituksen takia vaihtuva siirtokomponentti vastaa tulosignaalin moduloimista signaalilla, jonka voimakkuus on riippuvainen kapasitanssien suhteellisesta virheestä [4]:

$$A_{mod} = \left| \frac{C_{1A} - C_{1B}}{C_{1A} + C_{1B}} \right|, \quad (49)$$

ja jonka taajuus on puolet kelloaajuudesta. Tämän takia tulosignaalin lähellä kelloaajuuden puolikasta olevat komponentit alassekoittuvat lähelle tasavirtakomponenttia (DC, engl. direct current). [4]

Tilanne on erityisen huono silloin, kun $\Delta\Sigma$ -muuntimen lähdön takaisinkytkentäsignaalia joudutaan kaksoisnäytteistämään, sillä tässä signaalissa on huomattava määrä kvantisointikohinaa korkeilla taajuuksilla [4]. Jos takaisinkytkentäsignaali voidaan näytteistää yhden kondensaattorin avulla, kvantisointikohinan alassekoittuminen vältetään. On myös esitetty useita muita tapoja alassekoittuvan kohinan vaimentamiseksi [21], [22], [23].

Myös $\Delta\Sigma$ -muuntimen tulosignaalin kohinaa korkeilla taajuuksilla. Kun kohinaista signaalia kaksoisnäytteistetään, voidaan kapasitanssien keskinäissovitus parantaa käyttämällä riittävän suuria kondensaattoreita ja käyttämällä piirikuvion suunnittelussa erilaisia sovitusten menetelmiä [24].

2.3.4 Operaatiovahvistimet

SC-piirien suunnittelussa eräs ratkaiseva seikka on operaatiovahvistimien kapasitiivinen kuorma. Operaatiovahvistimen kuormat ovat korkeaimpedanssisia, joten ne eivät tarvitse lähtöasteeseen matalaimpedanssista jännitepuskuria [7]. Tällöin käytetään usein siirtokonduktanssivahvistimia (OTA, engl. operational transconductance amplifier). OTA-vahvistimien vahvistus perustuu differentiaalisen tuloparin lähtövirtasignaalin ajamiseen korkean lähtöresistanssin läpi. Differentiaalisen tuloparin lähtövirran peilausta voidaan myös hyödyntää.

OTA-vahvistimella, jolla on yksi vahvistusaste, voidaan saavuttaa matalalla teholla suuri kaistanleveys ja suuri vaihevara [2]. Sillä saavutettava DC-vahvistus riittää helposti $\Delta\Sigma$ -muuntimen vahvistimelle. OTA-vahvistimen dominoivan navan määrää lähtöresistanssi ja kuormakapasitanssi. Taajuuskompensointi tehdään kuormakapasitanssia kasvattamalla. Usein erillistä kompensointikondensaattoria ei tarvita vaan SC-piirin kondensaattoreiden (parasiittiset kapasitanssit mukaan lukien) aiheuttama kuorma riittää yksinapa-aproksimaation tekemiseen ja tarpeelliseen vaihevaraan.

OTA-vahvistimen vahvistuksen kasvattaminen lähtöimpedanssia kasvattamalla johtaa kuitenkin lähtöjännitealueen pienenemiseen. Transistorimäärän kasvaessa signaalitiellä on huolehdittava, etteivät ne lisää merkittävästi piirin kohinaa.

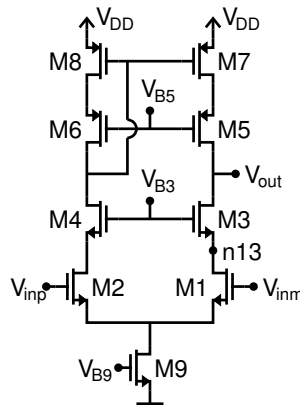
SC-piirin tarkkuuden määrää lähtöjännitteen lopullisen asettumisen tarkkuus. Vaikka vahvistin joutuisikin aluksi lähtöjännitteen enimmäismuuttumisnopeuden SR

(engl. slew rate) rajoittamaan tilaan, ei tämä rajoittaisi systeemin lineaarisuutta, kunhan lineaariselle asettumiselle jätetään riittävästi aikaa. SR riippuu vahvistimen enimmäislähtövirrasta I_{slew} (engl. slew current) ja kuormakapasitanssista C_L :

$$SR = \frac{I_{slew}}{C_L} . \quad (50)$$

Vahvistin voidaan suunnitella matalatehoisemmaksi sallimalla sen joutua aluksi SR :n rajoittamaan tilaan. SR :n rajoittamasta tilasta poistumisen jälkeen vahvistimen asettumistarkkuuden määrää vahvistimen yksikkövahvistuksen kaistanleveys GBW (engl. gain bandwidth) ja DC-vahvistus A_{DC} . Tehonkulutus voidaan minimoida ja tarkkuus maksimoida valitsemalla optimaalinen SR :n ja GBW :n yhdistelmä. Tämä valinta ja toiminnan varmistaminen on tehtävä simulaatioiden perusteella ottaen huomioon lämpötila- ja prosessivariaatioiden aiheuttamat muutokset. [25], [26]

Seuraavassa on esitelty kaksi erityyppistä OTA-vahvistinta ja analysoitu niiden ominaisuuksia. Kuvassa 14 esitetty teleskooppikaskodi-OTA-vahvistin on toimintaperiaatteeltaan differentiaalipari, johon on lisätty NMOS- (n-tyyppinen metallioksidipuolijohde, engl. n-type metal-oxide semiconductor) (M3 ja M4) ja PMOS- (p-tyyppinen metallioksidipuolijohde, engl. p-type metal-oxide semiconductor) (M5 ja M6) kaskoditransistorit. Kaskoditransistorit kasvattavat lähtöimpedanssia ja siten vahvistusta, mutta myös pienentävät lähtöjännitealuetta. Teleskooppikaskodissa on vain kaksi virtahaaraa, mikä merkitsee pientä tehonkulutusta, mutta rajoittaa tulon CM-jännitealuetta ja lähtöjännitealuetta, mitkä itse asiassa ovat teleskooppikaskodissa toisistaan riippuvaisia.



Kuva 14: Teleskooppikaskodi-OTA-vahvistin.

Teleskooppikaskodin DC-vahvistus on

$$A_{DC} = g_{m1} R_{out} , \quad (51)$$

jossa g_{m1} on transistorin $M1$ siirtokonduktanssi ja R_{out} vahvistimen lähtöresistanssi. Lähtöresistanssi puolestaan on [24]:

$$R_{out} \approx \left(g_{ds7} \cdot \frac{g_{ds5}}{g_{m5}} + g_{ds1} \cdot \frac{g_{ds3}}{g_{m3}} \right)^{-1} , \quad (52)$$

jossa g_{dsi} on transistorin M_i kanavakonduktanssi. Yhtälöstä nähdään, miten kaskoditransistorit $M3$ ja $M5$ kasvattavat tulotransistorin $M1$ ja virtapeilitransistorin $M7$ suuntaan näkyviä resistansseja ja siten myös DC-vahvistusta kertoimella g_m/g_{ds} .

Vahvistimen dominoiva napa on

$$p_1 = \frac{-1}{R_{out}C_L}, \quad (53)$$

jossa C_L on kuormakapasitanssi. Alin ei-dominoiva napa on [2], [27], [28]

$$p_2 = \frac{-g_{m3}}{C_{n13}}, \quad (54)$$

jossa C_{n13} on transistoreiden $M1$ ja $M3$ aiheuttama parasiittinen kapasitanssi solmussa $n13$. Yhtälöistä 51 ja 54 saadaan yksinapa-approksimaation avulla vahvistimen GBW :

$$GBW = \frac{g_{m1}}{C_L}. \quad (55)$$

Teleskooppikaskodin enimmäislähtövirta I_{slew} on tuloparin esivirtalähdetransistorin $M9$ läpi menevä virta I_9 :

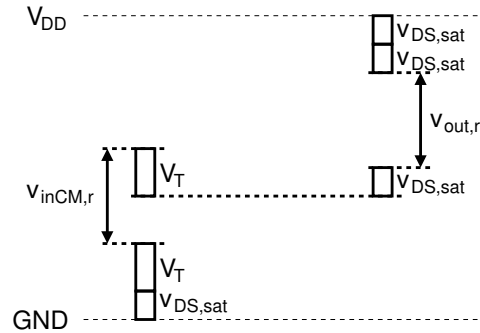
$$I_{slew} = I_9. \quad (56)$$

Sama virta I_9 on myös vahvistimen kuluttama kokonaisvirta I_{vdd} :

$$I_{vdd} = I_9. \quad (57)$$

Teleskooppikaskodi kykenee siis ajamaan kaiken kuluttamansa virran kuormaan ($I_{vdd} = I_{slew}$).

Oletetaan, että transistoreiden saturaatiojännite on $v_{DS,sat} = 0,3 V$ ja kynnysjännite on $V_T = 0,5 V$. Lisäksi oletetaan, että saturaation rajalla tuloparille pätee $v_{GS,sat} = v_{DS,sat} + V_T = 0,8 V$. Jotta vahvistin toimisi, on sen kaikkien transistoreiden pysyttävä saturaatiossa kaikilla lähtöjännitteiden DC-arvoilla ja tulosignaalin CM-arvoilla. Kuva 15 esittää graafisesti, kuinka teleskooppikaskodin lähtöjännitealue ja tulon CM-jännitealue määräytyvät ja vaikuttavat toisiinsa.



Kuva 15: Teleskooppikaskodin jännitealueet: tulon CM-jännitealue $v_{inCM,r}$ ja lähtöjännitealue $v_{out,r}$.

Lähtöjännitteen maksimiarvo on $V_{DD} - 2v_{DS,sat}$ ja minimiarvo $3v_{DS,sat} + v_{inCM,r}$, jossa $v_{inCM,r}$ on tulon CM-jännitealueen suuruus. Siten lähtöjännitealueen suuruus on

$$v_{out,r} = V_{DD} - 5v_{DS,sat} - v_{inCM,r} . \quad (58)$$

Tulon CM-alue $v_{inCM,r}$ voidaan teoriassa valita nolaksi, mikä maksimoisi yhtälön 58. Vahvistimen tulon CM-arvon asettaminen tarkasti vaatisi käytännössä kuitenkin niin sanottujen jäljennösesijännityspiirien (engl. replica bias circuit) käyttöä, sillä prosessivariaatio ja lämpötilariippuvuus siirtävät todellisen tulon CM-jännitealueen rajoja. Vahvistimen toiminnan varmistamiseksi asetetaan $v_{inCM,r} = 1 V$. Tästä ja edellä mainituista oletuksista sekä yhtälöstä 58 saadaan lähtöjännitealueen suuruudeksi

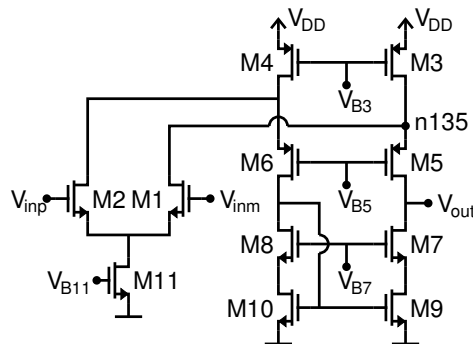
$$v_{out,r} = V_{DD} - 2,5V . \quad (59)$$

Lähtöjännitealue siis pienenee $5 V$:n käyttöjännitteen järjestelmässä puoleen käyttöjännitteestä ja $3 V$:n käyttöjärjestelmässä jo melko pieneen, $0,5 V$:iin. Transistoreiden saturaatiojännitteen pienentäminen lähtöjännitealueen kasvattamiseksi on myös mahdollista, mutta se monimutkaistaa suunnittelua.

Edellä laskettu lähtöjännitealue voidaan saavuttaa vain, jos tulon ja lähdön CM-tasot voidaan pitää erillään. Lähtöjännitealue kutistuu entisestään, jos lähtöjännitteen CM-taso halutaan laskea tai tulojännitteen nimellinen CM-taso halutaan nostaa puoleenväliin käyttöjännitettä.

Toinen tässä yhteydessä esiteltävä vahvistin on kuvassa 16 esitetty laskostettu kaskodi (FC, engl. folded cascode) -OTA-vahvistin eli FC-vahvistin. Myös se käyttää hyväkseen kaskoditransistorien tuomaa lähtöimpedanssin kasvua, mutta siinä tulopari on eri virtahaarassa kuin vahvistimen lähtösolmu. Vahvistimen periaatteena on nimensä mukaisesti laskostaa tuloparin lähtövirtasignaali lähtöhaaran korkeaan lähtöimpedanssiin. Tällöin tulon CM-jännitealue ja lähtöjännitealue ovat toisistaan riippumattomat ja suuremmat kuin teleskooppikaskodilla.

Myös FC-vahvistimen DC-vahvistus on yhtälön 51, dominoiva napa yhtälön 53 ja GBW yhtälön 55 mukainen. Lähtöresistanssin arvo on hieman pienempi kuin teleskooppikaskodilla, sillä g_{ds1} ja g_{ds3} näkyvät rinnakkain lähdöstä päin katsottaessa



Kuva 16: Laskostettu kaskodi -OTA-vahvistin eli FC-vahvistin.

[24]:

$$R_{out} \approx \left(g_{ds9} \cdot \frac{g_{ds7}}{g_{m7}} + (g_{ds1} + g_{ds3}) \frac{g_{ds5}}{g_{m5}} \right)^{-1} . \quad (60)$$

Siten DC-vahvistus on hieman pienempi ja dominoiva napa hieman suurempi kuin teleskooppikaskodilla. GBW pysyy kuitenkin samana. Alin ei-dominoiva napa on [2], [27], [28]

$$p_2 = \frac{-g_{m5}}{C_{n135}} , \quad (61)$$

jossa C_{n135} on solmussa $n135$ näkyvä, transistoreiden M1, M3 ja M5 aiheuttama parasiittinen kapasitanssi. Navan p_2 määrää nyt PMOS-tyyppisen kaskoditransistorin siirtokonduktanssi ja kahden PMOS-transistorin sekä yhden NMOS-transistorin parasiittiset kapasitanssit. Esitetyn teleskooppikaskodin napa p_2 on hieman korkeammalla taajuudella, sillä transistorityypit vaikuttavat taajuuden määräytymiseen (ks. yhtälö 54): Navan määräävä siirtokonduktanssi on NMOS-tyyppisen kaskoditransistorin (transistori M3 kuvassa 14) määräämä ja siksi suurempi. Toisaalta navan määräämä parasiittinen kapasitanssi (kuvan 14 solmussa $n13$) on kahden NMOS-transistorin aiheuttama ja siksi pienempi. [2]

FC-vahvistimessa p_2 :n voidaan siis odottaa olevan hieman matalammalla taajuudella ja vaihevaran hieman pienempi verrattuna telesekooppikaskodiin. Mikäli vaihevara jää liian pieneksi, voidaan vahvistin toteuttaa PMOS-tyyppisellä tuloparilla. Tällöin tuloparin vaihtaminen PMOS-tyyppiseksi ja kaskodi- sekä virtalähde-transistorien (transistorit M5 ja M6 sekä M4 ja M3 16) vaihtaminen NMOS-tyyppisiksi aiheuttaa sekä GBW :n pienenemisen, että p_2 :n siirtymisen korkeammalle taajuudelle, ja sitä kautta vaihevaran kasvun.

Kuten teleskooppikaskodinkin myös FC-vahvistimen enimmäislähtövirta I_{slew} on tuloparin esivirtalähde-transistorin M11 läpi menevä virta I_{11} :

$$I_{slew} = I_{11} . \quad (62)$$

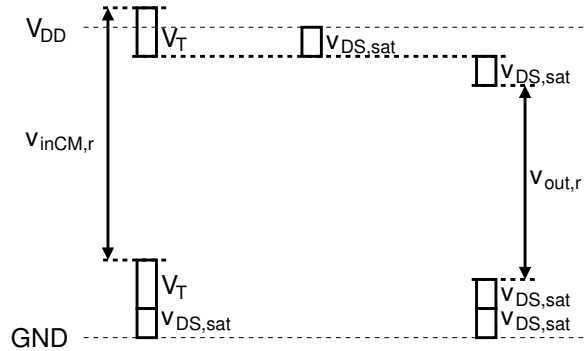
Vahvistimen kuluttama kokonaisvirta I_{vdd} muodostuu virtalähde-transistorien M3 ja M4 läpi menevistä virroista I_3 ja I_4 . Jos kaskodeille sallitaan virran pieneneminen noltaan asti, voidaan asettaa $I_3 = I_4 = I_{11}$, jolloin saadaan:

$$I_{vdd} = I_3 + I_4 = 2I_{11} . \quad (63)$$

FC-vahvistin kykenee siis ajamaan enintään puolet kuluttamastaan virrasta kuorman ($I_{slew} = I_{vdd}/2$), eli se kuluttaa tehoa kaksi kertaa niin paljon kuin teleskooppikaskodi saman enimmäislähtövirran saavuttamiseksi.

Laskemalla FC-vahvistimelle tulojännitteen CM-alue ja lähtöjännitealue samoin oletuksien $v_{inCM,r} = 1\text{ V}$, $v_{DS,sat} = 0,3\text{ V}$, $V_T = 0,5\text{ V}$ ja $v_{GS,sat} = 0,8\text{ V}$ saadaan niistä kuvan 17 mukaiset. Lähtöjännitteen maksimiarvo on $V_{DD} - 2v_{DS,sat}$ ja miniarvo $2v_{DS,sat}$, joten lähtöjännitealueen suuruus on

$$v_{out,r} = V_{DD} - 4v_{DS,sat} . \quad (64)$$



Kuva 17: FC-vahvistimen jännitealueet: tulon CM-jännitealue $v_{inCM,r}$ ja lähtöjännitealue $v_{out,r}$.

Tästä saadaan edellä mainittujen oletuksien mukaan

$$v_{out,r} = V_{DD} - 1,2V , \quad (65)$$

jolloin 5 V:n käyttöjännitteellä lähtöjännitealue on vain 25 % pienempi kuin käyttöjännite ja 3 V:n käyttöjännitteellä vielä 1,8 V. FC-vahvistimen lähtöjännitealue on siis huomattavasti teleskooppikaskodin aluetta suurempi.

Tulon CM-jännitealue alkaa jännitteestä $2v_{DS,sat} + V_T = 1,1 V$ ja jatkuu aina käyttöjännitteeseen V_{DD} saakka. Ainakin vielä 3 V:n käyttöjännitteellä tulon CM-tason asettelu on siis verrattain helppoa ja tulossa sallitaan huomattavan paljon suurempi CM-jännitealue kuin teleskooppikaskodilla.

Termisen kohinan osalta teleskooppikaskodi on hieman FC-vahvistinta parempi. Teleskooppikaskodin kohinaan verrattuna FC-vahvistimen kohinaa lisäävät virtalähde-transistorit $M4$ ja $M3$. [27]

3 Piirisuunnittelu

Tässä luvussa esitetään aluksi työn vaatimukset: konteksti, johon AD-muunnin suunnitellaan, sekä muuntimen suunnitteluvaatimukset. Näiden jälkeen esitetään suunnittelun kulku systeemi- ja piiritasolla, ylätasoinen piirikaavio, lohkojen piirikaaviot sekä suunnitteluun liittyvät simulaatiot. Lopuksi esitetään piirikuvio (karkeasti) ja systeemitason simulaatiotulokset sekä ilman piirikuvion perusteella laskettuja parasittaisia kapasitanseja että niiden kanssa.

3.1 Anturirajapinta ja suunnitteluvaatimukset

Tässä työssä $\Delta\Sigma$ -muuntimen tulossignaali on erikoispiirteitä, jotka vähentävät käytettävissä olevien piirirakenteiden määrää ja tiettyjen topologioiden houkuttelevuutta. Anturin lukuelektronikalta tuleva analoginen signaali on S/H-tyyppinen. Signaali on siis diskreettiaikainen, joten on luonnollista käyttää diskreettiaikaista silmukkasuodinta. Anturirajapinnan oikea toiminta edellytti näytteistyksen tapahtuvan kahden vaatimuksen mukaan, jotka esitetään seuraavassa.

Ensinnäkin näytteistykseksi on varattava 75 % jaksonajasta. Tämän takia kelloissa ei voida käyttää tavanomaista 50 % pulssisuhdetta. Ensimmäisen integraattorin tulon näytteistys on toteutettava joko viiveettömästi, jolloin 75 % jaksonajasta käytettäisiin yhtä aikaa näytteistykseen ja varauksensiirtoon, tai viiveellisesti, jolloin varauksensiirtoon jäisi vain 25 % jaksonajasta.

Toiseksi tulossignaalia saa kuormittaa vain kondensaattorilla. Tämä tarkoittaa sitä, että integraattorin tulon näytteistystä ei voi toteuttaa viiveettömästi, vaan on käytettävä viiveellistä rakennetta. Siten varauksensiirtoon jää ainoastaan edellä mainittu 25 %, minkä seurauksena integraattorin operaatiovahvistimen tehovaatimukset kasvavat kaksinkertaisiksi verrattuna tilanteeseen, jossa käytetään tavanomaista 50 %:n pulssisuhdetta.

Kuten kappaleessa 2.3.3 todettiin, voidaan operaatiovahvistinten tehovaatimuksia helpottaa käyttämällä kaksoisnäytteistystä. Tässä työssä kaksoisnäytteistyksestä saadaan erityisen suuri hyöty: Sen avulla varauksensiirtoaika saadaan kasvatettua yhtä pitkäksi kuin näytteistysaikakin eli 75 %:iin jaksonajasta. Tämä tarkoittaa tehovaatimusten pienenemistä kolmasosaan verrattuna tilanteeseen, jossa varauksensiirtoaika on 25 % jaksonajasta. Jäljelle jäävä 25 % jaksonajasta voidaan käyttää CDS-integraattorin virheennäytteistysvaiheeseen. Nopeusvaatimukset ovat CDS-vaiheessa pienemmät, sillä silloin ei tarvita suuria slew-virtoja eikä pitkää asettumisaikaa.

Kuvassa 18 on havainnollistettu anturirajapinnan ajoitusvaatimuksia suhteessa näytteistykseen. Kuvassa piirille toteutetun kaksoisnäytteistyksen ajoituskaaviossa ”Näytteistys ja varauksensiirto 1” viittaa kellovaiheeseen, jossa ensimmäinen näytteistyspiiri näytteistää ja toinen siirtää varaustaan. ”Näytteistys ja varauksensiirto 2” viittaa kellovaiheeseen, jossa nämä näytteistyspiireille tehtävät operaatiot vaihdetaan keskenään.

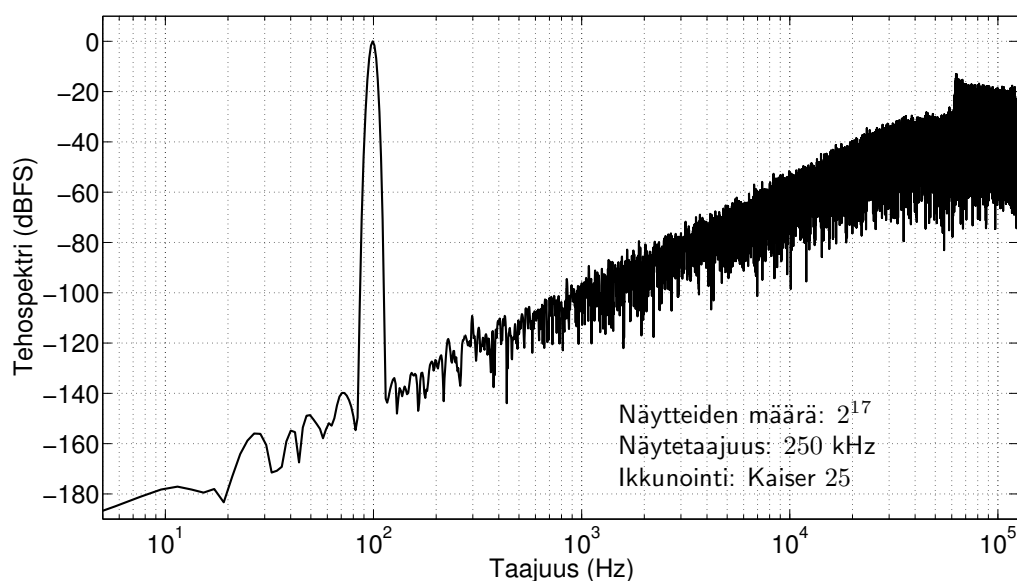
Piiri toteutettiin $0,35 \mu m$:n CMOS- (komplementaarinen metallioksidipuolijohde, engl. complementary metal-oxide semiconductor) valmistusteknologialla. Tässä työssä käytettiin standardiprosesseista poikkeavista ominaisuuksista ainoastaan monikiteisestä piistä valmistettuja kondensaattoreita ja suurohmisia monikiteisestä piistä valmistettuja vastuksia.

Taulukko 1: Suunnitteluvaatimukset.

Suure	Symboli	Arvo
Näytetaajuus	f_s	250 kHz (500 kHz)
Signaali-kaistanleveys	f_B	1 kHz
Vähimmäis-SNR	SNR	80 dB
Vähimmäis-SNDR	SNDR	76 dB
Käyttöjännite	V_{DD}	3,6 V (3,3 V)
Enimmäisvirrankulutus	$I_{tot,max}$	100 μA

3.2 Topologia ja systeemitason piirisuunnittelu

Systeemitason simulaatiot ideaalisilla lohkoilla osoittavat kaksiasteisen yksibittisen $\Delta\Sigma$ -muuntimen olevan riittävä vaaditun SNR:n (80 dB) saavuttamiseksi. Kuvassa 19 on esitetty systeemitason simulaatiotulos muuntimen lähtösignaalin tehospektristä ideaalisia lohkoja käyttäen, kun tulosignaali on täysimittainen ja taajuudeltaan 100 Hz. SQNR:ksi saadaan 84 dB. Jäljelle jäävä marginaali 4 dB on verrattain



Kuva 19: Systeemitason simulaatiosta $\Delta\Sigma$ -muuntimen lähtösignaalista laskettu tehospektri.

pieni, mutta sen kasvattamiseksi vaadittaisiin muuntimen asteluvun tai sisäisen resoluution kasvattamista, sillä OSR :n kasvattaminen ei ole mahdollista. Asteluvun kasvattaminen olisi jo selvää ylimitoitusta (engl. overdesign), jolloin lisäksi piiri monimutkaistuisi ja vaatisi muuntimen stabiilisuuden tarkempaa säätämistä. Sisäisen resoluution kasvattaminen merkitsisi luopumista yksinkertaisesta yksibittisestä rakenteesta.

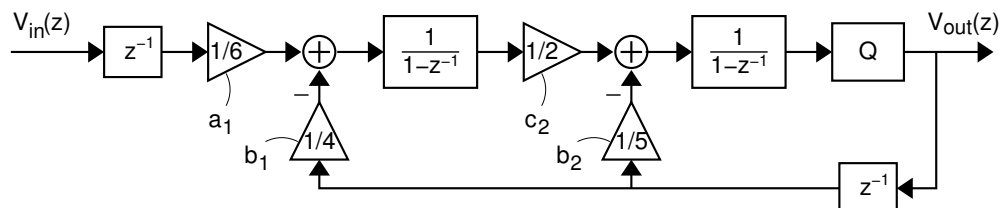
Piiri valittiin toteutettavaksi yksipäisenä. Tulosignaali on yksipäinen, joten differentiaalisen piirirakenteen valitseminen olisi vaatinut signaalin muuntamisen differentiaalisiksi. Lineaarisuusvaatimukset eivät olleet niin suuret, että differentiaalista rakennetta olisi tarvittu. Differentiaalista rakennetta ei ole perusteltua käyttää edes käyttöjännitteen kohinan vaimentamiseksi, sillä käytössä on vähäkohinainen reguloitu käyttöjännite (jonka piiri vaatii korkeaimpedanssisen CM-jännitereferenssin toteuttamiseen ja käyttöjännitteen käyttämiseen referenssijännitteenä).

Yksinkertaisuuden takia piirissä pyrittiin käyttämään vain yhtä CM-tasoa, $V_{CM} = V_{DD}/2$. Siten teleskooppikaskodi-tyyppisen OTA-vahvistimen käyttäminen olisi merkinnyt erittäin pientä lähtöjännitealuetta. Käytettävissä oli kuitenkin $3,6 V$:n käyttöjännite. Näin suuri jännitealue voidaan hyödyntää maksimoimalla operaatiovahvistimen lähtöjännitealue käyttämällä FC-tyyppistä OTA-vahvistinta. Suuren lähtöjännitealueen takia voitiin hylätä silmukkasuodintopologian IF-rakenne: tulosignaali-komponentin näkyminen integraattoreiden lähdössä (ks. kappale 2.2.2) ei saturoisi niitä. IF-rakennetta ei myöskään tarvittu $\Delta\Sigma$ -muuntimen systeemitason lineaarisuuden parantamiseksi. IF-rakenteen hylkääminen merkitsee myös piirin yksinkertaistumista. Myös FF-rakenne hylättiin yksinkertaisuuden perusteella: FB-rakenne ei tarvitse summainta silmukkasuodintimen loppuun.

Kuten kappaleessa 3.1 todettiin, kaksoisnäytteistykseen käyttäminen merkitsee tässä työssä teho vaatimusten pienenemistä jopa kolmasosaan verrattuna tavanomaiseen näytteistykseen. Lisäksi kappaleessa todettiin, että tulosignaalia voi kuormittaa vain kondensaattorilla, eli ensimmäisen integraattorin on käytettävä viiveellistä rakennetta.

Tarkastellaan kuvan 18 kaksoisnäytteistävän vaihtoehdon kellovaiheiden ajoitusta. Muuntimen ensimmäisen, kaksoisnäytteistävän integraattorin lähtöön saadaan uusi arvo kerran kellon ϕ_1 (tai ϕ_2) puolijaksossa. Tämä viittaisi siihen, että toisessakin integraattorissa olisi käytettävä kaksoisnäytteistävää rakennetta. Nyt voidaan kuitenkin käyttää hyväksi kuvassa 18 esitettyä kellovaihetta ϕ_3 : toinen integraattori valittiin viiveettömäksi käyttämällä sekä vaihetta ϕ_1 että ϕ_2 varauksensiirtoon (kuten vaihe ϕ_1 kuvassa 10 c)) ja vaihetta ϕ_3 nollaukseen (kuten ϕ_2 kuvassa 10 c)).

Suunnittelun $\Delta\Sigma$ -muuntimen lohko-kaavio on esitetty kuvassa 20. Seuraamisen helpottamiseksi myös parametrejä vastaavat symbolit on merkitty kuvaan. Ensimmäinen integraattori on tulosignaalin kannalta viiveellinen ja takaisinkytkennän kannalta viiveetön ja toinen integraattori molempien tulosignaaliensa kannalta viiveetön. Tämän takia ensimmäinen integraattori on esitetty viiveettömänä, tuloon on lisätty yksikköviive ja DA-muunnin on kuvattu yksikköviiveenä. Seuraavassa esitetään, kuinka kuvan 20 parametreihin on päädytty.



Kuva 20: Suunnitellun $\Delta\Sigma$ -muuntimen lohkokkaavio. Parametrien symbolit on merkitty valittujen numeroarvojen yhteyteen.

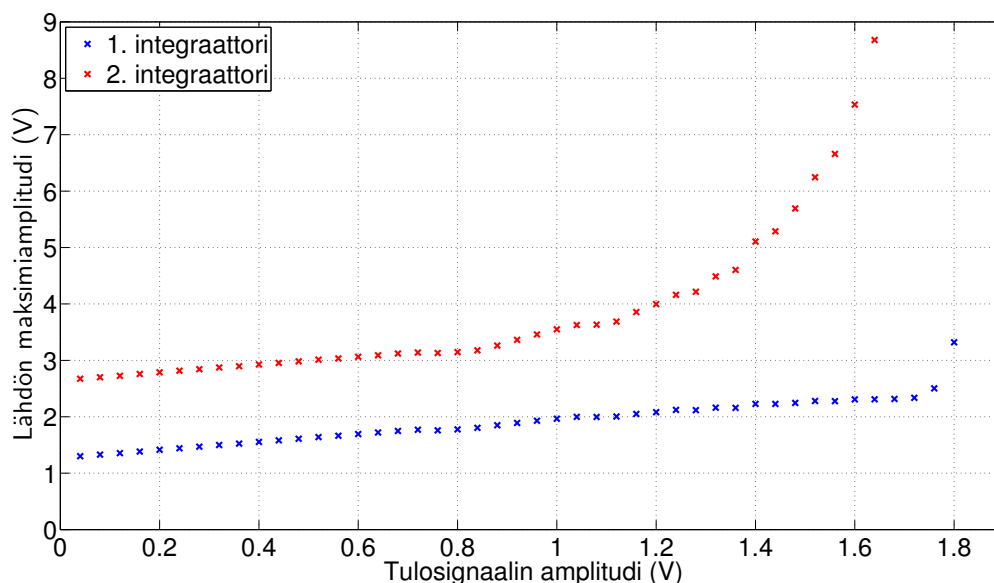
Silmukkasuotimen parametriarvot optimoitiin MATLAB -ohjelmiston Delta Sigma Toolbox -lisäosan avulla. Parametreiksi saatiin taulukossa 2 sarakkeessa ”Arvo” esitetyt arvot. $\Delta\Sigma$ -muuntimen toimintaa simuloitiin käyttämällä näitä arvoja ja sini-muotoisia tulosignaaleja integraattoreiden lähtöjen maksimiamplitudin selvittämiseksi eri tulosignaalin amplitudeilla.

Taulukko 2: Silmukkasuotimen parametriarvot, skaalatut parametriarvot, valitut kapasitanssisuhteet ja valittujen kapasitanssisuhteiden virheet suhteessa tarkkoihin skaalattuihin arvoihin.

Parametri	Arvo	Skaalattu arvo	Kapasitanssisuhde	Virhe
a_1	0,472	0,165	2/12	+1 %
b_1	0,472	0,247	3/12	+1 %
c_2	1,000	0,525	5/10	-5 %
b_2	0,764	0,210	2/10	-5 %

Kuvassa 21 on esitetty integraattoreiden lähtöjen saavuttamat maksimiamplitudit tulosignaalin amplitudin funktiona. Tämän perusteella suoritetaan niin sanottu dynaamisen alueen skaalaus (engl. dynamic range scaling). Siinä lohkojenväliset signaalit skaalataan sopiviksi, niin että ne ovat toisaalta mahdollisimman suuriamplitudisia ja toisaalta riittävän pieniä, siten että integraattoreiden saturoituminen vältetään. Seuraavassa on esitelty suunnitellun silmukkasuotimen dynaaminen skaalaus.

Simulaation perusteella silmukkasuotimen parametriarvoja skaalattiin integraattoreiden saturoitumisen välttämiseksi. Kuvasta 21 nähdään, että tulosignaalin amplitudin 1,2 V jälkeen toisen integraattorin lähdön maksimiamplitudi alkaa kasvaa nopeasti. Tulosignaalin maksimiamplitudiksi haluttiin täysimittainen $3,6 \text{ V} / 2 = 1,8 \text{ V}$, joten tulosignaalin parametriarvoja skaalattiin kertoimen $1,8 \text{ V} / 1,2 \text{ V} = 1,5$ verran pienemmäksi. Kuten kuvasta 21 voidaan todeta, tällä skaalauksella ensimmäisen integraattorin saavuttama maksimiamplitudi on 2,1 V ja toisen integraattorin 4 V. Näiden arvojen perusteella integraattoreiden lähtösignaalit skaalattiin maksimiamplitudille 1,1 V (jännitealueeseen 0,7...2,9 V). Maksimiamplitudin (ts. jännitealueen) valinnassa on otettu huomioon operaatiovahvistinten saturaatiojännite varmuusmarginaaleineen. Skaalatut parametriarvot on esitetty taulukon 2 sarakkeessa ”Skaalattu arvo”.

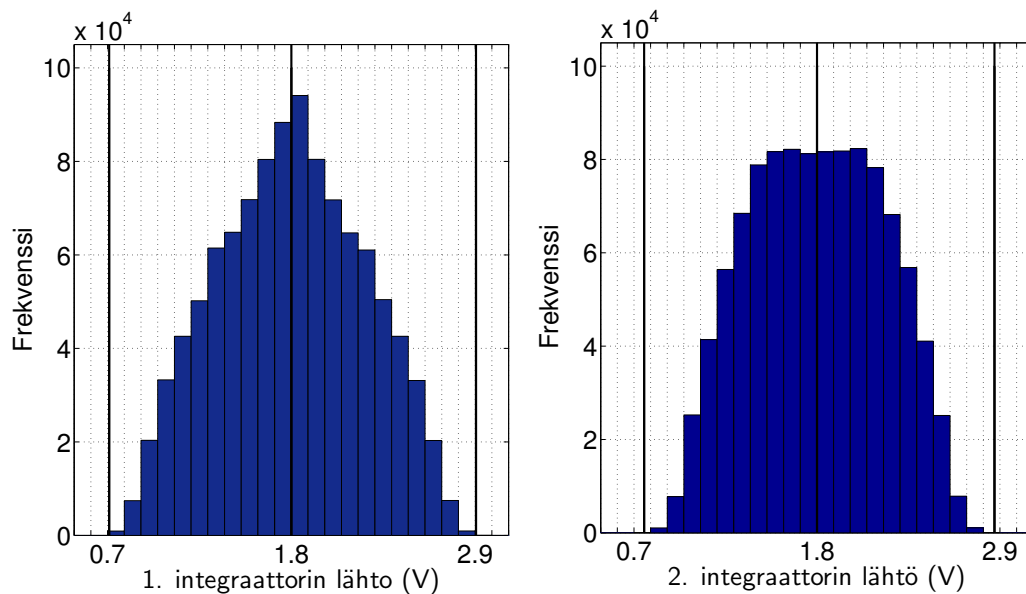


Kuva 21: Integraattoreiden lähtöjen simuloitujen enimmäisarvojen tulosignaalin amplitudin funktiona.

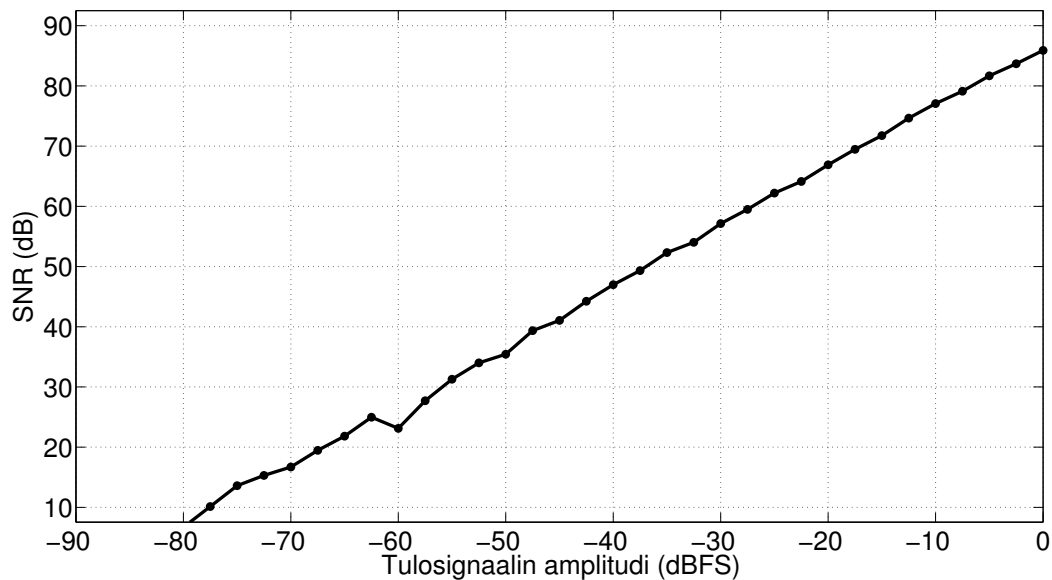
Skaalattujen arvojen avulla haettiin sopivat murtolukuarvot integraattoreiden kapasitanssisuhteiksi. $\Delta\Sigma$ -muuntimen suorituskyky ei ole herkkä silmukkasuotimen parametrien pienille muutoksille, joten pienet erot skaalatuissa parametriarvoissa ja kapasitanssisuhteissa eivät ole haitaksi. Valitut kapasitanssisuhteet on esitetty yksikkökapasitanssien määrän suhteina taulukon 2 sarakkeessa ”Kapasitanssisuhteet” ja kapasitanssisuhteen virhe (suhteessa skaalattuun parametriarvoon) sarakkeessa ”Virhe”. Lopullisten parametrien sopivuus tulee kuitenkin varmistaa simulaatioiden avulla.

Muunninta simuloitiin tallentaen integraattoreiden lähtöjen saamat arvot tulosignaalin ollessa täysimittainen. Kuvassa 22 on esitetty integraattoreiden lähtöjen jännitearvojen histogrammi. Nähdään, ettei integraattoreiden lähtöjen enimmäis- ja vähimmäisarvot riko yhtenäisin pystyviivoin merkittäviä rajoja. Lisäksi lähellä rajoja esiintyvien lähtöarvojen frekvenssi on pieni.

Muunninta simuloitiin myös sen saavuttaman SNR :n tarkastelemiseksi tulosignaalin amplitudin funktiona. Kuvassa 23 on esitetty simuloitu SNR tulosignaalin amplitudin funktiona (lukuun ottamatta pientä satunnaishuonteista epäjatkuvuutta tulosignaalin amplitudilla -60 dBFS) aina täysimittaiseen tulosignaaliampplitudiin asti. SNR :n enimmäisarvo (86 dB) on jopa suurempi kuin alkuperäisillä parametriarvoilla.



Kuva 22: Histogrammi integraattoreiden lähtöjen arvoista, kun tulosignaali on täysimittainen. Otettuja näytteitä on yhteensä $2^{20} \approx 10^6$ integraattoria kohden.



Kuva 23: $\Delta\Sigma$ -muuntimen SNR tulosignaalin amplitudin funktiona. Tulosignaali skaalattiin siten, että 0 dBFS :n tuloamplitudilla SNR saavuttaisi enimmäisarvonsa.

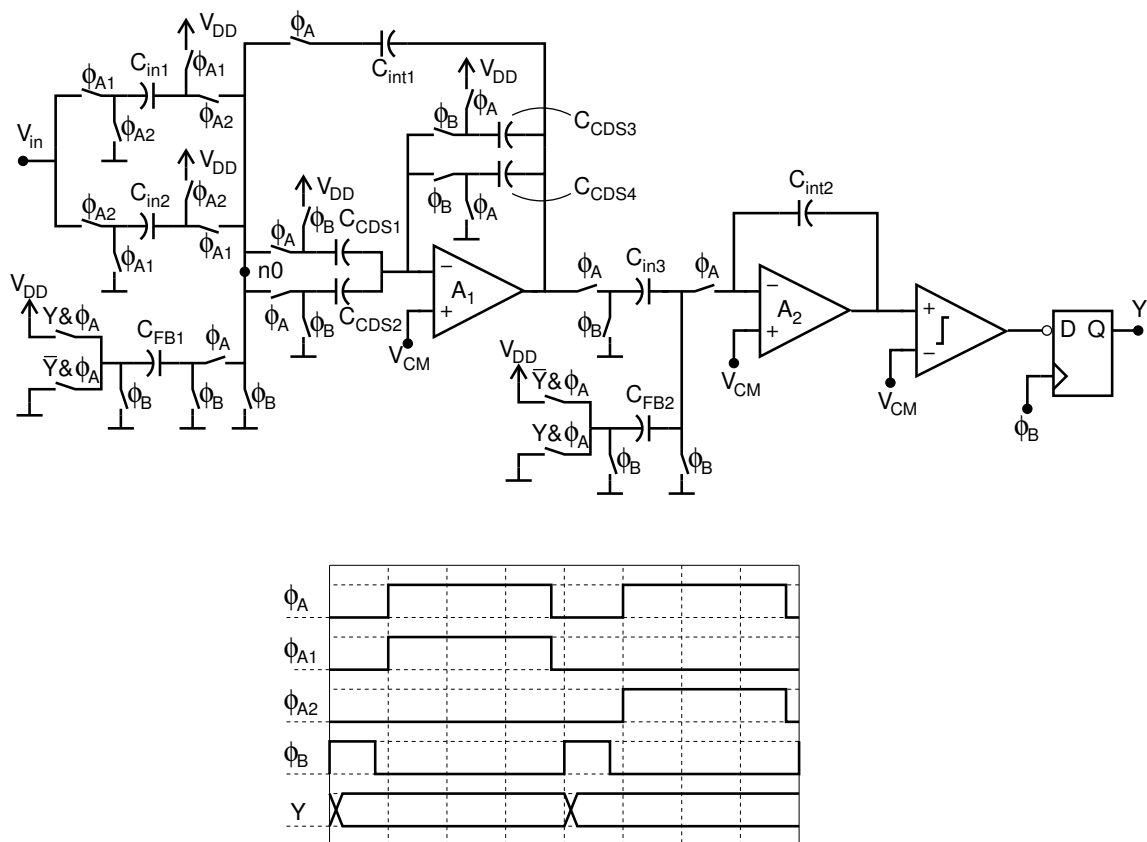
3.3 Ylätason piirikaavio

Edellä on esitelty suunnitellun $\Delta\Sigma$ -muuntimen osien piirikaaviot. Seuraavassa esitellään suunniteltu ylätason piirikaavio kapasitanssiarvoineen ja esitetään erityisratkaisut, joita sen suunnittelussa on käytetty. Erityisratkaisujen tarve johtuu lähinnä

siitä, ettei näytteistystä, varauksensiirtoa eikä kondensaattorin purkamista voi tehdä CM-referenssijännitettä vasten, sillä se on korkeaimpedanssinen. Ylätason piirikaavio ajoitusdiagrammeineen on esitetty kuvassa 24.

Silmukkasuotimen kondensaattorit mitoitettiin taulukon 2 ”Kapasitanssisuhde”-sarakkeen arvojen perusteella. Kondensaattoreiden kapasitanssiarvot on esitetty taulukossa 3. Kondensaattoreiden C_{in1} ja C_{in2} sekä C_{CDS1} ja C_{CDS2} koot on valittu luvussa 4 esitetyn kohina-analyysin perusteella. C_{in1} (tai C_{in2}) määrää kondensaattoreiden C_{FB1} ja C_{int1} koot. C_{CDS3} ja C_{CDS4} valitaan saman kokoisiksi kuin pienin kondensaattori. Kondensaattoreiden C_{in3} ja C_{int2} koot määrätään asettamalla kondensaattori C_{FB2} myös saman kokoiseksi kuin pienin kondensaattori.

Tulosignaali V_{in} kaksoisnäytteistetään käyttäjännitettä V_{DD} vasten tulokondensaattoreilla C_{in1} (vaiheessa ϕ_{A1}) ja C_{in2} (vaiheessa ϕ_{A2}). Mikäli näytteistys tehtäisiin maatasoa vasten, varauksensiirtovaiheessa (vaihe ϕ_{A2} kondensaattorille C_{in1} ja ϕ_{A1} kondensaattorille C_{in2}), kun tulokondensaattori kiinnitetään maapotentiaaliin, tippuisi kondensaattorin toisen levyn potentiaali aluksi maapotentiaalin alle. Tämä johtaisi myötäsuuntaiseen jännitteeseen kytkimien pn-liitoksissa ja siten signaali-riippuvaan varaushäviöön.



Kuva 24: Suunniteltu ylätason piirikaavio ja siihen liittyvä ajoitusdiagrammi. A_1 :llä on merkitty ensimmäisen ja A_2 :lla toisen integraattorin muodostavia operaatiovahvistimia. Y viittaa $\Delta\Sigma$ -muuntimen lähtösignaaliin.

Taulukko 3: Valitut kondensaattoreiden kapasitanssiarvot.

1. integraattori		2. integraattori	
Kondensaattori	Arvo	Kondensaattori	Arvo
C_{in1}, C_{in2}	0,57 pF	C_{in3}	1,42 pF
C_{FB1}	0,85 pF	C_{FB2}	0,57 pF
C_{CDS1}, C_{CDS2}	0,57 pF	C_{int2}	2,85 pF
C_{int1}	3,42 pF	–	–
C_{CDS3}, C_{CDS4}	0,57 pF	–	–

Myöskään lähtöbitin takaisinkytkentää ei voida tehdä kondensaattoreiden C_{in1} ja C_{in2} avulla jännitealueongelman vuoksi. Lähtöbitin takaisinkytkentään riittää kuitenkin yksi kondensaattori integraattoria kohti. Näin piirialaa säästyy, kvantisointikohinaa ei alassekoitu signaaliikaistalle kappaleessa 2.3.3 esitetyn periaatteen mukaan ja lisäksi takaisinkytkentäsignaalin ja tulosignaalin vahvistuskertoimet voidaan määrätä toisistaan riippumatta kapasitanssisuhteiden avulla.

Lähtöbitin takaisinkytkentä tapahtuu ensimmäiselle integraattorille kondensaattorin C_{FB1} avulla ja toiselle kondensaattorin C_{FB2} avulla. Lähtöbitin mukaan kondensaattorin toinen levy kytketään joko käyttöjännitteeseen tai maapotentiaaliin vaiheessa ϕ_A , joka on kondensaattorin kannalta yhtä aikaa sekä näytteistys- että varauksen siirtovaihe. Nollausvaiheessa ϕ_B kondensaattori puretaan. Vaiheessa ϕ_A näytteistetyt varauksen takia kondensaattorin matalammassa potentiaalissa oleva levy tippuu vaiheessa ϕ_B aluksi maapotentiaalin alapuolelle. Tämä johtaa jälleen myötäsuuntaisiin pn-liitoksiin. Syntyvä negatiivinen jännitepiikki aiheuttaa epälineaarista ylikuulumista muihin, kelluviin kondensaattoreihin. Tämä näkyy toisen asteen epälineaarisuutena $\Delta\Sigma$ -muuntimen lähdössä. Jotta häiriön kytketyminen solmun $n0$ kautta vaimentuisi, vaiheessa ϕ_B kytketään solmu $n0$ irti kondensaattorista ja kiinni maahan erillisellä kytkimellä.

Simulaatiot osoittivat molempien edellä mainittujen ratkaisujen olevan oleellisia riittävän lineaarisuuden saavuttamiseksi.

Varauksensiirto kondensaattoreista C_{in1} , C_{in2} ja C_{FB1} integrointikondensaattoriin C_{int1} tapahtuu vaiheessa ϕ_A käyttäen solmua $n0$ virtuaalimaana. Tämä virtuaalimaa on virhekompensoitu CDS-tekniikan avulla samalla periaatteella kuin kuvassa 39 esitetyn CDS-integraattorin virtuaalimaa ($n0$). Matalaimpedanssisen CM-referenssi-jännitteen puuttumisen takia (maatasa kuvan 39 piirissä) joudutaan CDS:n toteuttamiseksi käyttämään seuraavaksi esitettyä tekniikkaa.

Vaiheessa ϕ_B kondensaattoreihin C_{CDS1} ja C_{CDS2} näytteistetään operaatiovahvistimen invertoivassa tulossa näkyvä jännite v_- maatasoa (C_{CDS2}) ja käyttöjännitettä (C_{CDS1}) vasten. Jännite v_- on operaatiovahvistimen epäideaalisuuksien (tulonsiirrosjännite, matalataajuinen kohina ja äärellinen vahvistus, ks. yhtälö 47) aiheuttaman virhejännitteen v_e ja ei-invertoivaan napaan kytketyn jännitteen $v_+ = V_{CM} =$

$V_{DD}/2 + v_{e,CM}$ summa, jossa $v_{e,CM}$ viittaa CM-jännitereferenssin epäideaalisuuksiin (DC-virhe ja matalataajuinen kohina). Tällöin saadaan kondensaattoreiden C_{CDS1} ja C_{CDS2} varauksiksi ($v_- = v_e + V_{DD}/2 + v_{e,CM}$)

$$q_{CDS1,\phi_B} = C_{CDS1}(V_{DD} - v_-) = C_{CDS1}\left(\frac{V_{DD}}{2} - v_e - v_{e,CM}\right) \quad (66)$$

ja

$$q_{CDS2,\phi_B} = C_{CDS2}(v_- - 0) = C_{CDS2}\left(\frac{V_{DD}}{2} + v_e + v_{e,CM}\right) . \quad (67)$$

Kun kondensaattorit C_{CDS1} ja C_{CDS2} kytketään rinnan vaiheessa ϕ_A , saadaan niiden yli olevaksi jännitteeksi ($C_{CDS1} = C_{CDS2} = C_{CDS}$)

$$v_{CDS} = \frac{q_{CDS,\phi_A}}{C_{CDS}} = \frac{q_{CDS1,\phi_B} - q_{CDS2,\phi_B}}{C_{CDS1} + C_{CDS2}} = -v_e - v_{e,CM} , \quad (68)$$

ja tämän avulla solmun $n0$ jännitteeksi

$$v_{n0} = v_- + v_{CDS} = \frac{V_{DD}}{2} = V_{CM} . \quad (69)$$

Näin siis saadaan varauksenjakotekniikalla solmuun $n0$ virhekompensoitu virtuaalilimaa ilman matalaimpedanssisen CM-referenssijännitteen tarvetta. Lisäksi CM-referenssijännitteessä näkyvä DC-virhe ja matalaimpedanssinen kohina saadaan kompensoitua.

Kondensaattorit C_{CDS3} ja C_{CDS4} toimivat vaiheessa ϕ_B takaisinkytkentäpolkuna ja antavat riittävän takaisinkytkentäkertoimen kondensaattoreita C_{CDS1} ja C_{CDS2} varattaessa. Vaiheessa ϕ_A ne näytteistävät operaatiovahvistimen lähdön, jotta vaiheessa ϕ_B ne kykenisivät pitämään operaatiovahvistimen lähdön samassa arvossa ja siten lineaarisella alueella. C_{CDS3} ja C_{CDS4} toimivat yhdessä samalla varauksenjakoperiaatteella kuin edellä esitetty kondensaattoreiden C_{CDS1} ja C_{CDS2} varauksenjako.

Ensimmäisen integraattorin lähtö syötetään viiveettömälle toiselle integraattorille. Toinen integraattori (ts. silmukkasuodin) syöttää kvantisoijana toimivaa komparaattoria, joka puolestaan syöttää (invertoituna) D-tyyppistä kiikkua, joka liipaistaan ϕ_B :n nousevalla reunalla.

3.4 Kytkimet

Kytkiminä käytetään NMOS- ja PMOS-kytkimiä sekä näiden rinnankytkentöjä, siirtoportteja (engl. transmission gate). Minimikokoiset kytkimet riittävät varmistamaan asettumisen SC-piirin varauksensierrossa. Minimikokoisen kytkimen vuotovirta on olematon suhteessa käytettyyn kellotajuuteen.

Kytkintyyppi valitaan niiltä vaaditun CM-jännitealueen perusteella ja signaaliiripuvan varausinjektio syntymistä välttämällä. Varausinjektioiden vaikutus on kuitenkin pieni, sillä kytkimet ovat pieniä. Siirtoportteja käytetään signaaliirippuvalle varausinjektioille alttiissa pisteissä, sillä siirtoportin NMOS- ja PMOS-tyyppisten transistorien varausinjektiot kumoavat osittain toisensa [29]. Myöskään kellon kytkeytyminen kytkimien kautta ei ole merkittävää pienten transistorien ja siirtoporttien

käytön ansiosta. Kellosignaalin jännitealue on käyttöjännitteen suuruinen eli vähintään $3,3\text{ V}$, joten kytkintransistoreiden efektiivinen jännite on aina riittävä.

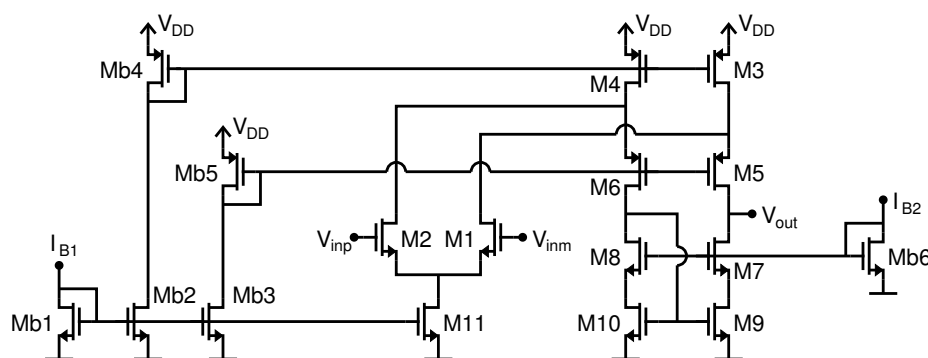
3.5 Operaatiovahvistimet

Käytettävän operaatiovahvistimen valinta kohdistuu kuvissa 14 ja 16 esitettyjen teleskooppikaskodi- ja FC-tyyppisten OTA-vahvistimien välille. Operaatiovahvistimen jännitealueet on suunniteltava käyttäen käyttöjännitteelle sen vähimmäisarvoa $3,3\text{ V}$.

Tutkitaan teleskooppikaskodin käyttöä muuntimen integraattoreissa. Jos muuntimen yhteismuotoiset jännitteet valittaisiin samoiksi (käyttöjännitteen puoleenvälisiin) ja vahvistimen tulon CM-jännitealue suunniteltaisiin 1 V :n suuruiseksi, kuvasta 15 ja yhtälöstä 59 huomataan, ettei vahvistimen lähtöjännitealue edes sisältäisi käyttöjännitteen puoltaväliä.

Toisaalta erisuuruisten (käyttöjännitteen puolestavälistä poikkeavien) yhteismuotoisten jännitteiden käyttäminen aiheuttaisi silmukkasuotimen huomattavan monimutkaistumisen, sillä käytössä ei ole matalaimpedanssisia referenssijännitteitä. Lisäksi lähtöjännitealueeksi jäisi yhtälön 59 mukaan kuitenkin vain $0,8\text{ V}$. Kun otetaan huomioon integraattorin saturoitumisen ehkäisemiseksi suunnitellut lähtöjännitealueen varmuusmarginaalit, jää jäljelle vielä tätäkin pienempi alue.

Valinnassa päädyttiin FC-vahvistimen käyttöön, sillä sen lähtöjännitealueeksi saadaan yhtälön 65 mukaan $2,1\text{ V}$ ja samalla voidaan tulon ja lähdön yhteismuotoiset tasot pitää samoina, puolessavälissä käyttöjännitettä. Teleskooppikaskodin edut suhteessa FC-vahvistimeen – pienempi tehonkulutus, hieman suurempi nopeus ja hieman matalampi kohina – katsottiin niin pieniksi, ettei teleskooppikaskodia olisi kannattanut käyttää. Molemmissa integraattoreissa käytettiin vahvistinta, joka on esitetty esijännityshaaroineen kuvassa 25.



Kuva 25: Suunniteltu FC-vahvistin esijännityshaaroineen.

Vahvistimen tulopariksi valittiin NMOS-tyyppiset transistorit niiden suuremman siirtokonduktanssin takia. PMOS-tyyppisten transistorien valinta kohinan minimoimiseksi ei olisi perusteltua, sillä mahdolliset erot $1/f$ -kohinaperformanssissa häviäsivät ensimmäisen integraattorin osalta CDS-tekniikan käyttämisen ansiosta eikä

n_1 sekä

$$\begin{aligned} C_{eq,1} &= \frac{1}{\beta} \left(C_3 + \frac{C_2(C_1 + \frac{C_4 C_5}{C_4 + C_5})}{C_2 + C_1 + \frac{C_4 C_5}{C_4 + C_5}} \right) \\ &= C_3 \cdot \frac{(C_2 + C_1)(1 + C_5/C_4) + C_5}{C_2} + C_1(1 + C_5/C_4) + C_5. \end{aligned} \quad (71)$$

Vastaavat parametrit kuvan 26 b) tapauksessa ovat

$$\beta_2 = \frac{C_2}{C_2 + C_1} \quad (72)$$

ja

$$C_{eq,2} = C_3 \frac{C_2 + C_1}{C_2} + C_1. \quad (73)$$

Kondensaattoreiden $C_1 \dots C_5$ kapasitanssit on laskettu ottaen huomioon kussakin kytkennässä kytkettynä olevat kondensaattorit, kondensaattoreiden parasiittiset kapasitanssit sekä vahvistimen tulokapasitanssi. Kapasitanssiarvot sekä niistä laskettu takaisinkytkentäkerroin β ja ekvivalentti kuormakapasitanssi C_{eq} eri kytkennöissä on esitetty taulukossa 4. Taulukosta nähdään, että ensimmäisen integraattorin vaiheessa ϕ_1 on suurin ja toisen integraattorin vaiheessa ϕ_2 pienin ekvivalentti kuormakapasitanssi. Tämän takia vahvistin on mitoitettava niin, että se on toisaalta riittävän nopea ensin mainitussa kytkennässä ja toisaalta riittävän stabiili toiseksi mainitussa kytkennässä.

Taulukko 4: Kuvan 26 kondensaattoreiden kapasitanssiarvot $C_1 \dots C_5$ eri integraattorikytkennöissä ja kytkennöistä lasketut takaisinkytkentäkerroin β ja ekvivalentti kuormakapasitanssi C_{eq} .

Integraattori / kellovaihe	C_1 /pF	C_2 /pF	C_3 /pF	C_4 /pF	C_5 /pF	β	C_{eq} /pF
Int. 1 / ϕ_1	1,42	3,42	2,00	1,14	0,40	0,49	6,40
Int. 1 / ϕ_2	1,54	1,14	0,86	–	–	0,42	3,57
Int. 2 / ϕ_1	1,04	2,85	0,54	–	–	0,73	1,77
Int. 2 / ϕ_2	0,19	2,85	0,54	–	–	0,94	0,76

Operaatiovahvistimen vahvistus suunniteltiin 90 dB:iin. Kuten kappaleessa 2.3.2 osoitettiin, CDS-tekniikan käyttäminen vähentää integraattorin alttiutta äärellisen vahvistuksen aiheuttamalle virheelle. Silti vahvistus suunniteltiin suhteellisen korkeaksi epälineaarisuuden vaimentamiseksi ja riittävän silmukkavahvistuksen takaamiseksi myös vaiheessa ϕ_1 .

Operaatiovahvistin suunniteltiin siten, että se olisi enintään 20 % varauksensiirtoajasta $t_{CT} = 3 \mu s$ SR:n rajoittamassa tilassa. Siten vähintään 80 % on varattu

lineaariselle asettumiselle. Näin operaatiovahvistimelle vaadittavaksi enimmäislähtövirraksi saadaan

$$I_{slew} = \frac{q_{max}}{t_{slew}} = \frac{\frac{V_{DD}}{2}(C_{in} + C_{ref})}{t_{CT} 20\%} = 4,3 \mu A , \quad (74)$$

jossa q_{max} on varaus, jonka operaatiovahvistin joutuu enimmillään siirtämään ja t_{slew} on aika, jonka operaatiovahvistin on SR :n rajoittamassa tilassa. SR :ksi saadaan taulukon 4 ja yhtälöiden 50 ja 74 avulla vähintään $SR = 1,4 V/\mu s$.

Oletetaan, että ensimmäisen integraattorin on asetuttava koko lineaarisen asettumisen aikana $t_{CT} \cdot 80\%$ vähintään $\Delta\Sigma$ -muuntimelta vaaditulla tarkkuudella ($ENOB = 13$ bittiä). Ensimmäisen integraattorin lähtöjännite muuttuu yhden jakson aikana enintään $\frac{V_{DD}}{2} \cdot \frac{C_{in} + C_{ref}}{C_{int}} = 0,75 V$, joka on alle puolet sen lähdön alueesta. Siispä operaatiovahvistimelta vaaditaan enintään asettumistarkkuus $N = 12$ bittiä. Tämä määrää tarvittavan GBW :n seuraavasti: [27]

$$GBW = \frac{1}{2\pi} \cdot \frac{N \ln(2)}{\beta t_{CT} 80\%} = 1,1 MHz . \quad (75)$$

Näin saatu GBW on varmasti riittävä, sillä operaatiovahvistin ehtii asettua myös aikana t_{slew} . Tästä saadaan tarvittavaksi g_{m1} :n arvoksi

$$g_{m1} = GBW \cdot C_{eq} = 45 \mu A/V . \quad (76)$$

Suunniteltu operaatiovahvistin simuloitiin ja analysoitiin kaikissa neljässä eri kytkennässä (ks. kuva 26 ja taulukko 4). Käyttöjännitteen V_{DD} arvona käytettiin vähimmäisarvoa $3,3 V$. Simulaatiotulokset on esitetty taulukossa 5. Taulukossa on esitetty nimelliset arvot ja eri prosessikulmissa lämpötiloissa $-40^\circ C$, $27^\circ C$ ja $85^\circ C$ saaduista arvoista vähimmäisarvot.

Taulukko 5: Vahvistimien simuloitu silmukkavahvistus βA_{DC} , silmukan yksikkövahvistuksen kaistanleveys βGBW , vaihevara PM ja vahvistusvara GM eri integraattorikytkennöissä. Simulaatiotuloksista on ilmoitettu nimellinen arvo (nim.) ja vähimmäisarvo (väh.) eri prosessikulmissa lämpötiloissa $-40^\circ C$, $27^\circ C$ ja $85^\circ C$ saaduista arvoista.

Integraattori / kellovaihe	βA_{DC} /dB		βGBW /MHz		PM /°		GM /dB	
	nim. väh.	nim. väh.	nim. väh.	nim. väh.	nim. väh.	nim. väh.		
Int. 1 / ϕ_1	86,0 81,1	1,65 1,22	80,1 78,8	65,0 62,7				
Int. 1 / ϕ_2	84,8 79,9	2,81 2,09	74,2 72,7	60,0 57,6				
Int. 2 / ϕ_1	89,5 84,7	4,98 3,75	66,5 65,2	53,9 51,6				
Int. 2 / ϕ_2	91,7 86,8	9,28 6,99	60,0 57,4	46,6 44,3				

DC-silmukavahvistus βA_{DC} on kaikissa kytkennöissä vähintään 80 dB (79,9 dB) ja silmukan yksikkövahvistuksen kaistanleveys βGBW vähintään 1,2 MHz. Vaihevara PM pysyy myös turvallisen 60° :n yläpuolella lukuun ottamatta toista integraattoria vaiheessa ϕ_2 , jossa vaihevaran vähimmäisarvo on $57,4^\circ$. Vaiheessa ϕ_2 toisen integraattorin ei kuitenkaan tarvitse siirtää varausta eikä sen lähtöjännitteen arvoa tarvita, joten siltä ei teoriassa vaadita tarkkaa asettumista. Kaikissa kytkennöissä vahvistusvara GM on turvallisen 20 dB:n yläpuolella – se on aina jopa suurempi kuin 40 dB.

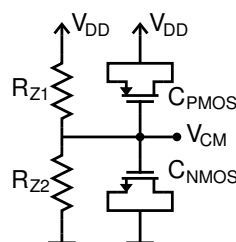
Suunniteltu operaatiovahvistin kuluttaa virtaa $8,7 \mu A$. Kun kuvassa 25 esitetyt esijännityshaarat otetaan huomioon, virrankulutus on $12,6 \mu A$.

3.6 Korkeaimpedanssinen CM-jännitereferenssi

AD-muuntimet tarvitsevat referenssijännitteitä verratakseen tulosignaalin jännitettä tiettyyn vakioarvoiseen jännitetasoon. $\Delta\Sigma$ -muuntimen referenssijännitteen on oltava matalaimpedanssinen, jotta se voi ajaa resistiivisiä ja SC-kuormia. Kytäkseen säilyttämään oikean jännitteen ja ajamaan riittävästi virtaa matalaimpedanssinen jännitereferenssi vaatii jännitepuskurin. Jännitepuskurin toteuttaminen vie kuitenkin virtaa sitä enemmän, mitä enemmän virtaa sen odotetaan kykenevän ajamaan.

Tässä työssä pyritään säästämään piirin tehoa toteuttamalla $\Delta\Sigma$ -muunnin käyttöjännitteen ja maan ohella ilman muita matalaimpedanssisia referenssijännitteitä. Sen sijaan piirille viedään korkeaimpedanssinen CM-referenssijännite. Siten piirin ainoat matalaimpedanssiset solmut ovat käyttöjännite ja maa.

Referenssijännite tuotetaan käyttöjännitteestä korkeaimpedanssinen jännitteenjaon avulla, kuten kuvassa 27 on esitetty. Jännitteenjako tehdään kahdella $533 k\Omega$:n vastuksella R_{Z1} ja R_{Z2} ($R_{Z1} = R_{Z2} = R_Z = 533 k\Omega$), joiden tuottamaa jännitettä suodatetaan kahdella $22,3 pF$:n kondensaattorilla C_{PMOS} ja C_{NMOS} ($C_{PMOS} = C_{NMOS} = C_{MOS} = 22,3 pF$). Kondensaattoreina käytettiin metallioksidikondensaattoreita, sillä niillä on suuri kapasitanssi tiheys eikä niiden epälineaarisuudesta kärsivä jänniteriippuvuus ole haitaksi DC:llä. Esitetty ratkaisu vie virtaa huomattavasti jännitepuskuria vähemmän, likimain $I_{vref} = V_{DD}/(R_{Z1} + R_{Z2}) = 3,6 V / (2 \cdot 533 k\Omega) = 3,4 \mu A$.



Kuva 27: Korkeaimpedanssinen CM-jännitereferenssi.

Kondensaattorit on kytketty keskenään sarjaan käyttöjännitteen ja maan välille. Jos piiri käyttäisi vain yhtä kondensaattoria, latautuisi se käynnistyksessä suuren resis-

tanssin kautta, mikä pidentäisi käynnistysaikaa huomattavasti. Käytettäessä kahta keskenään yhtä suurta kondensaattoria sarjassa niiden latautuminen käy nopeasti, sillä latausvirtaa rajoittaa ainoastaan parasiittiset resistanssit. Piensignaali- ja kohinaominaisuudet pysyvät samana riippumatta siitä, onko kondensaattori yksittäinen vai jaettu kahtia.

Koska referenssijännite on nyt korkeaimpedanssinen, sitä voi käyttää ainoastaan korkeaimpedanssisissa solmuissa kuten operaatiovahvistimien ja komparaattoreiden korkeaimpedanssisissa tuloissa. Integraattoreiden referenssi- ja tulokondensaattoreiden lataaminen ja varauksensiirto on siis tehtävä käyttäen matalaimpedanssisina referenssijännitteinä käyttöjännitettä, maata ja operaatiovahvistimen virtuaalimaata. CDS:n toteuttaminen ilman matalaimpedanssista yhteismuotoista referenssijännitettä ei myöskään ole suoraviivaista, minkä vuoksi suunnittelussa joudutaan turvautumaan kappaleessa 3.3 esitettyyn varauksenjakoratkaisuun.

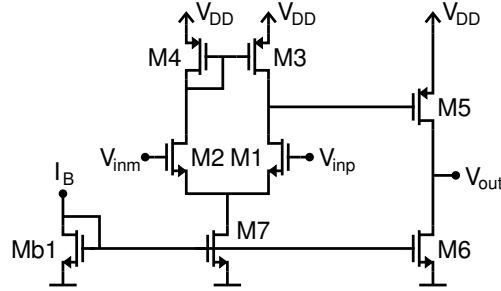
Kummankin vastuksen aiheuttama kohinatehotiheys on yhtälön 81 mukainen. Siispä CM-jännitereferenssissä näkyvä kohinatiheys on matalilla taajuuksilla (kohinajännitteet tehollisesti summaten) $v_{nCMref} = \sqrt{2k_BTR_Z} = 0,158 \mu V/\sqrt{Hz}$ ja sen kaistanleveys on $BW_{CMref} = (2\pi R_Z C_{MOS})^{-1} = 13,4 kHz$. Kohinatiheys on riittävän matala suhteessa muuhun kohinaan ja kaistanleveys on riittävän pieni suhteessa näytteistystaajuuuteen, joten varauksenjakotekniikalla toteutettu CDS vaimentaa kohinan mitättömän pieneksi. Vastusarvojen epäsovituksista aiheutuva DC-virhe kompensoituu myös CDS:n ansiosta.

Käyttöjännitteen käyttäminen referenssijännitteenä ja CM-jännitereferenssissä vaatii tarkan ja kohinattoman jännitelähteen. Kohina käyttöjännitteessä merkitsee kohinaa integraattoreiden tuloissa ja referenssijännitteessä, mikä osuessaan tai laskostuessaan signaalikaistalle voi huonontaa muuntimen SNR :ää (lukuun ottamatta riittävän matalataajuisista kohinaa, jonka CDS kompensoi). Tässä työssä oletetaan, että käytössä on vaatimusten mukainen, riittävän puhdas käyttöjännite.

3.7 Kvantisoija

Kvantisoija on yksibittinen joten se on toteutettu yksinkertaisesti komparaattorilla. Vaiheen ϕ_A päätyttyä silmukkasuotimen lähtö ei enää muutu. Liipaisematon komparaattori seuraa silmukkasuotimen lähtöä koko ajan. Sen lähtö on kytketty vahvistuksen kasvattamiseksi invertterin kautta D-tyyppiselle kiikulle. D-kiikku liipaisetaan ϕ_B :n nousevalla reunalla. Tulonsiirrosjännite, hystereesi ja muisti-ilmiö ovat merkityksettömiä, sillä silmukka vaimentaa niitä samoin kuin kvantisointikohinaakin. Utta lähdön arvoa tarvitaan lähtöbitin takaisinkytkennässä vasta vaiheessa ϕ_A .

Kvantisoijaksi valittiin kuvassa 28 esitetty kaksiasteinen komparaattori. Se kuluttaa virtaa esijännityshaara mukaan lukien $2,4 \mu A$.



Kuva 28: Suunniteltu komparaattori esijännityshaaroinen.

3.8 Virtareferenssi

Operaatiovahvistinten ja komparaattorin toiminta lämpötila-alueella $-40\text{ }^{\circ}\text{C} \dots 85\text{ }^{\circ}\text{C}$ taataan tuomalla niille lämpötilakompensoidut referenssivirrat. Käytetty virtareferenssi tuottaa referenssivirran $I_{ref} = 1\ \mu\text{A}$. Piiri on esitetty kuvassa 29. Se käyttää hyväkseen kahta erityyppistä vastusta R_n ja R_h , joiden resistiivisyyden lämpötilakertoimet α_n ja α_h ovat erimerkkiset.

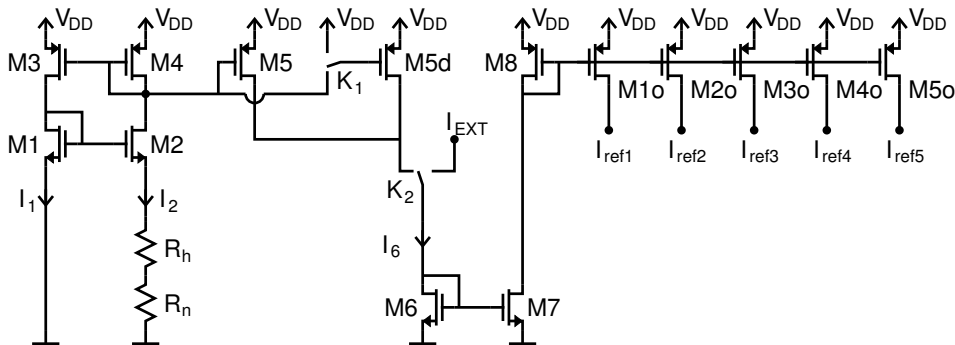
Referenssivirta määräytyy seuraavasti [30]:

$$I_{ref} = I_1 = I_2 = \frac{1}{R^2} \cdot \frac{1}{\mu_0 C_{ox} (W/L)_1} \left(1 - \sqrt{\frac{(W/L)_1}{(W/L)_2}} \right)^2, \quad (77)$$

jossa R on resistanssien R_n ja R_h summa, μ_0 on varauksenkuljettajien liikkuvuus transistorin kanavassa, C_{ox} hilaoksidin kapasitanssi pinta-alayksikköä kohden sekä $(W/L)_1$ ja $(W/L)_2$ ovat transistorien $M1$ ja $M2$ dimensioiden suhteet. Yhtälöstä nähdään, että virta I_{ref} ei ole riippuvainen käyttöjännitteestä. R ja μ_0 ovat ainoita tekijöitä, jotka riippuvat lämpötilasta.

R_n :n ja R_h :n keskinäistä suhdetta muuttamalla voidaan kompensoida μ_0 :n lämpötilariippuvuus. I_{ref} :n lämpötilariippuvuus jätettiin kuitenkin hieman negatiiviseksi operaatiovahvistimien positiivisen lämpötilariippuvuuden kompensoimiseksi.

I_{ref} peilataan transistorien $M5 \dots M8$ avulla transistorille $M1o \dots M5o$, jotka toimivat virtalähteinä operaatiovahvistinten ja komparaattorin esijännityspiireille. Pei-



Kuva 29: Virtareferenssi.

laussuhde on kaikkialla yksi, joten lähtövirrat $I_{ref1} \dots I_{ref5}$ ovat kukin suuruudeltaan $1 \mu A$.

Kytkimen K_1 avulla voidaan I_{ref} peilata myös transistorin $M5d$ kautta. Tällöin transistorille $M6$ menevä virta kaksinkertaistuu, joten myös kaikki lähtövirrat kaksinkertaistuvat. Tätä vaihtoehtoa käytetään silloin, kun piiri toimii kaksinkertaisella näytetaajuudella $500 kHz$. Testattavuuden parantamiseksi myös ulkoisen referenssivirran I_{EXT} käyttäminen on mahdollistettu tuomalla se piirille kytkimen K_2 kautta.

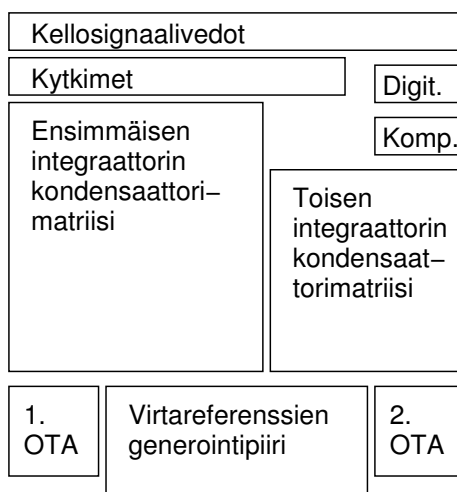
3.9 Piirikuvio

Suunniteltu piirikuvio perustuu SC-piireissä yleisesti käytettyyn rakenteeseen, jossa on neljä vierekkäistä erityyppisille komponenteille varattua aluetta. Operaatiovahvistimet sijaitsevat toisessa päädyssä, kondensaattorimatriisit seuraavassa alueessa, kytkimet sitä seuraavassa ja kellosignaaliveidot toisessa päädyssä. Tämä on reitityksen, sekä kellosignaalien aiheuttamien häiriöiden kannalta edullinen ratkaisu.

Tulokondensaattoreiden (kondensaattorit C_{in1} ja C_{in2} kuvassa 24) keskinäissovitus maksimoitiin käyttämällä niinsanottua common centroid -menetelmää yksikkökondensaattoreita piirrettäessä. Myös parasitiittisten komponenttien symmetriaan kiinnitettiin huomiota. Samaa menetelmää käytettiin myös CDS-kondensaattoripareja (kondensaattorit C_{CDS1} ja C_{CDS2} sekä C_{CDS3} ja C_{CDS4} kuvassa 24) piirrettäessä.

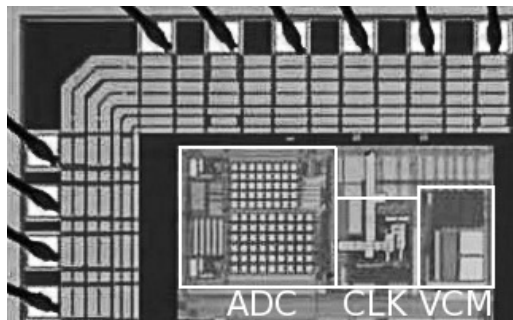
Komparaattori ja lähtöbitin takaisinkytkentään liittyvä digitaalilogiikka pidettiin erossa operaatiovahvistimista, jotta niissä tapahtuvat nopeat jännitemuutokset eivät häiritsisi operaatiovahvistimia ja analogisia signaaleja.

Suunniteltu piirikuvio on esitetty karkeasti lohkokatasolla kuvassa 30. Mikroalokuvan prosessoidusta piiristä on esitetty kuvassa 31. $\Delta\Sigma$ -muunnin, poislukien CM-



Kuva 30: Suunniteltu piirikuvio esitettynä karkeasti lohkokatasolla. ”Digit.” viittaa lähtöbitin takaisinkytkentälogiikkaan ja ”Komp.” komparaattoriin. CM-jännitereferenssiä ei ole esitetty tässä, mutta sen suhteellinen koko käy ilmi kuvasta 31.

jännitereferenssi, on kooltaan $400 \times 450 \mu\text{m}^2$ (ks. ”ADC” kuvassa 31) ja CM-jännitereferenssi $150 \times 180 \mu\text{m}^2$ (ks. ”VCM”). Kuvassa on eritelty myös näiden alueiden välissä oleva kellogeneraattori (ks. ”CLK”).

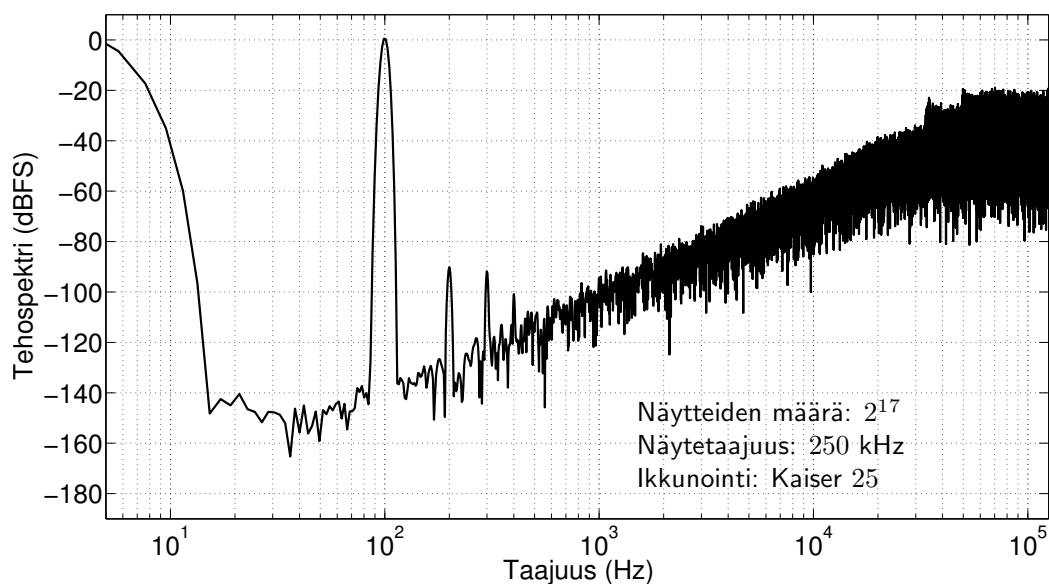


Kuva 31: Mikrovalokuva prosessoidusta piiristä. ”ADC”:n osoittama alue on $\Delta\Sigma$ -muunnin, poislukien CM-jännitereferenssi, ”CLK”:n osoittama alue on kellogeneraattori ja ”VCM”:n osoittama alue on CM-jännitereferenssi.

3.10 $\Delta\Sigma$ -muuntimen piiritason simulaatiot

$\Delta\Sigma$ -muunnin simuloitiin sen toiminnan ja suorituskyvyn varmistamiseksi ja arvioimiseksi. Simulaatioilla selvitettiin odotettavissa oleva SNR , $SNDR$ ja prosessivariatioiden sekä lämpötilan vaikutus.

Kuvassa 32 on esitetty $\Delta\Sigma$ -muuntimen lähtösignaalin simuloitu tehospektri. Simu-

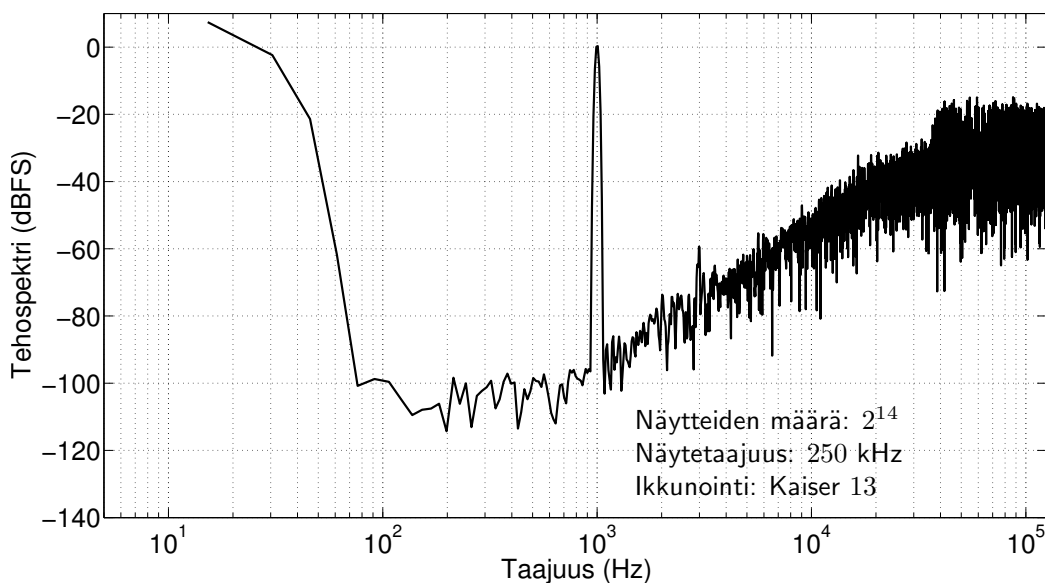


Kuva 32: Piiritason simulaatiosta $\Delta\Sigma$ -muuntimen lähtösignaalista laskettu tehospektri huomioon ottaen piirikuvion perusteella lasketut parasittiset kapasitanssit.

loidussa piirissä on mukana piirikuviosta määritetyt, kaikkien solmujen väliset (mukaan lukien kaikkien solmujen ja maatasen väliset) parasitiittiset kapasitanssit. Tulosignaali on täysinmittainen, ja sen taajuus on 100 Hz .

SNR :ksi saadaan 84 dB , joka on täsmälleen sama kuin systeemisimulaatioiden perusteella saatu arvo. Harmoniset särökomponentit HD_n (engl. harmonic distortion) pysyvät riittävän pieninä, mutta toisen harmonisen voimakkuus ($HD_2 = -91\text{ dBc}$) on suurempi kuin kolmannen ($HD_3 = -92\text{ dBc}$). Tämä johtuu mitä todennäköisimmin kappaleessa 3.3 esitetystä kondensaattoreiden C_{FB1} ja C_{FB2} (ks. kuva 24) nolautavasta. Harmonisen särön voimakkuus johtuu suurelta osin täysinmittaisen tulosignaalin käyttämisestä – käyttöjännitteessä ja maapotentiaalissa käyvät SC-piirin signaalit ovat alttiita harmoniselle särölle ja taipuvaisia aiheuttamaan epälineaarisia häiriöitä. Itse asiassa tulosignaaliin on lisätty kohinaa mallintava jännitekomponentti, minkä takia tuloamplitudi on simulaatiossa suurempi kuin täysinmittainen amplitudi.

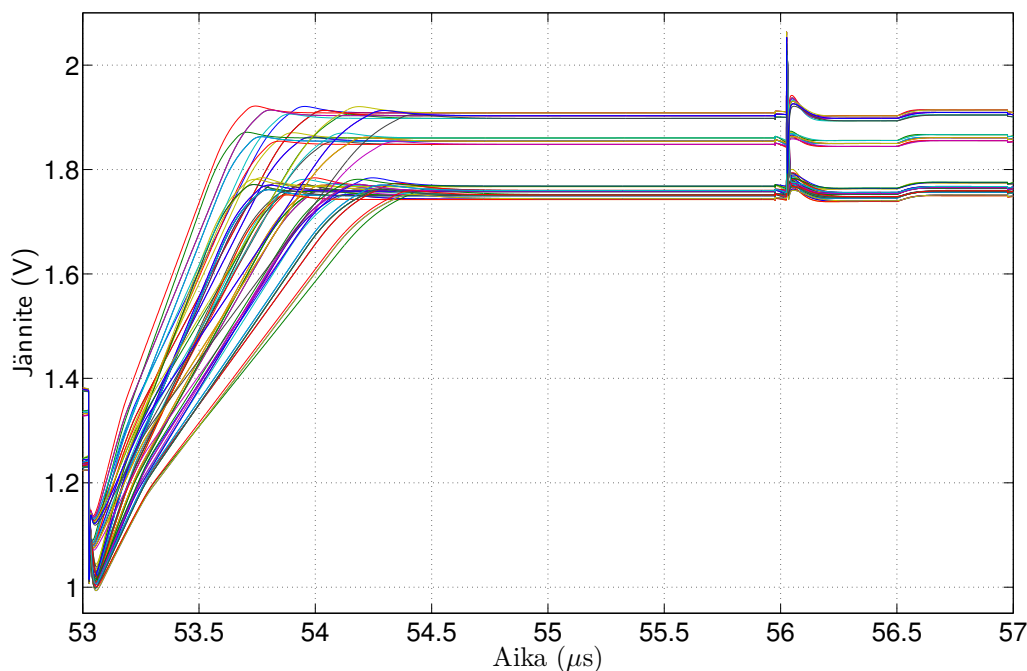
Kohinatransienttisimulaatio tehtiin täysinmittaisella tulosignaalilla, jonka taajuus on 1 kHz . Lähtösignaalista laskettu tehospektri on esitetty kuvassa 33. Spektristä laskettu SNR 86 dB on riittävä ja jopa suurempi, kuin mitä systeemisimulaation perusteella saatiin $SQNR$:n arvoksi (84 dB). Tämä johtuu todennäköisesti siitä, että kohinatransienttimallissa signaaliin summautuu efektiivisesti pehmennystä (engl. dither) kohinan satunnaisuuteen takia. HD_3 :n vaadittua huonompi arvo -60 dBc johtuu samaisesta tulosignaaliin lisäystä komponentista kuin edelläkin. Lisäksi simulaatiot on tehty eri tulosignaalin taajuuksilla ja kuvasta 33 voidaan todeta, että HD_3 :n arvoa vääristää liian pieni ero harmonisen spektriin ja kvantisointikohinan välillä.



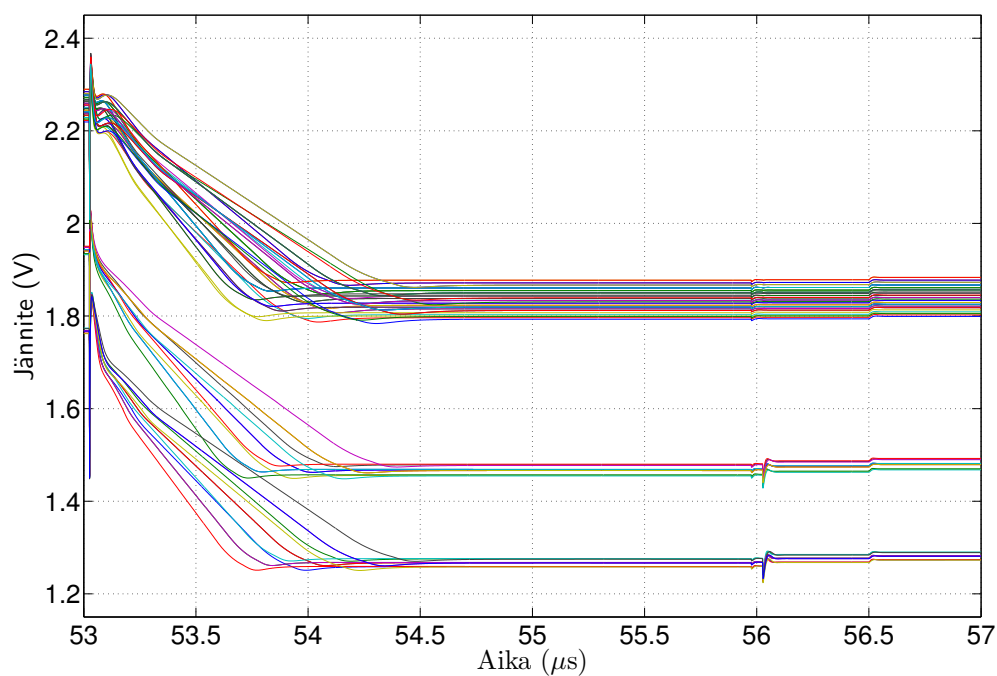
Kuva 33: Kohinatransienttisimulaatiosta saatu $\Delta\Sigma$ -muuntimen lähtösignaalin tehospektri.

$\Delta\Sigma$ -muunninta simuloitiin myös operaatiovahvistimien stabiilisuuden tarkistamiseksi ja asettumisen tarkastelemiseksi aikatasossa kolmessa eri lämpötilassa ja eri prosessikulmissa. Kuvassa 34 on esitetty ensimmäisen integraattorin ja kuvassa 35 toisen integraattorin lähdön jännite aika-alueessa yhden kellojakson aikana. Kellovaiheen ϕ_A aktiivista vaihetta vastaa aikaväli 53,03...55,98 μs ja kellovaiheen ϕ_B aktiivista vaihetta aikaväli 56,03...56,98 μs . Lisäksi ajanhetkellä 56,5 μs operaatiovahvistinten ei-invertoiviin tuloihin syötettiin vielä askelherätteet stabiilisuuden tarkistamiseksi kellovaiheessa ϕ_B .

Kuvista 34 ja 35 nähdään, että integraattorit asettuvat ilman värähtelyä – myös edellä mainitun askelherätteen jälkeen. Keskimäärin ne ovat SR:n rajoittamassa tilassa kellovaiheen ϕ_A aikana hieman kauemmin, kuin mitä suunniteltiin (suunniteltu arvo: 20 % \cdot 3 μs = 0,6 μs). Ne asettuvat silti riittävän tarkasti simuloituissa lämpötiloissa ja prosessikulmissa – myös lyhyemmän kellovaiheen ϕ_B aikana.



Kuva 34: Ensimmäisen integraattorin lähtöjännite yhden kellojakson aikana simuloituna prosessikulmissa ja lämpötiloissa $-40\text{ }^{\circ}\text{C}$, $27\text{ }^{\circ}\text{C}$ ja $85\text{ }^{\circ}\text{C}$. Ajanhetkellä 56,5 μs operaatiovahvistinten ei-invertoiviin tuloihin on syötetty askelherätteet.



Kuva 35: Toisen integraattorin lähtöjännite yhden kellojakson aikana simuloituna prosessikulmissa ja lämpötiloissa -40°C , 27°C ja 85°C . Ajanhetkellä $56,5 \mu\text{s}$ operaatiovahvistinten ei-invertoiviin tuloihin on syötetty askelherätteet.

4 Ensimmäisen integraattorin kohina-analyysi

Tässä työssä silmukkasuotimen tulokondensaattoreiden mitoituksen määräsi ensimmäisen integraattorin kohina. Toisen integraattorin kohina redusoidaan $\Delta\Sigma$ -muuntimen lähtöön jakamalla se ensimmäisen integraattorin siirtofunktiolla (mikä on signaalikaistalla suuri), joten se vaimenee signaalikaistalla olemattoman pieneksi.

Tässä luvussa esitetään kohinalähteiden teoriaa, kohinan laskostumista SC-integraattorissa ja analysoidaan toteutetun ensimmäisen integraattorin kohina. Myös kaksoisnäytteistykseen aiheuttamaa korkeataajuisen kohinan alassekoittumista arvioidaan.

4.1 Kohinalähteet

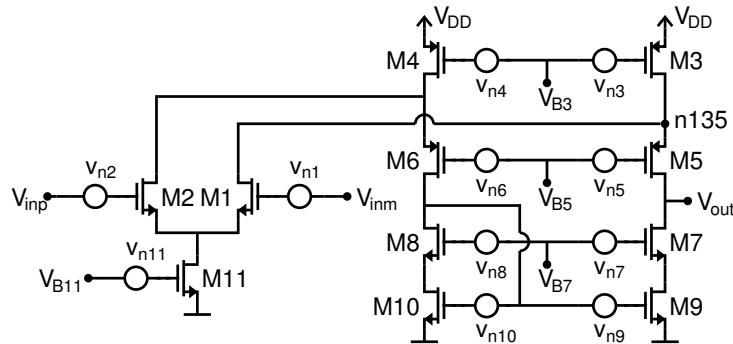
SC-piirin kohina muodostuu operaatiovahvistimen ja kytkinten aiheuttamasta kohinasta. Näytteistetyssä systeemissä ratkaisevaa on kondensaattoreihin laskostuva kohina. Seuraavassa kohina-analyysissä ei oteta huomioon MOS- (metallioksidipuolijohde) transistorien $1/f$ -kohinaa, sillä suunniteltava SC-piiri käyttää CDS-tekniikkaa, minkä ansiosta voidaan olettaa operaatiovahvistimen $1/f$ -kohinan vaikutuksen olevan merkityksetön [3].

MOS-transistorin aiheuttamaa termistä kohinaa voidaan mallintaa transistorin hialle asetetulla kohinajännitelähteellä, jonka kohinatehoitiheys on [27]

$$v_{n,mos}^2 = \frac{4\gamma k_B T}{g_m}, \quad (78)$$

jossa transistorin kohinaparametri γ riippuu transistorin kanavanpituudesta ja V_{GS} -jännitteestä, k_B on Boltzmannin vakio ja T absoluuttinen lämpötila.

Tarkastellaan kuvan 16 mukaisen FC-vahvistimen kohinaa. Operaatiovahvistimen tuloon redusoitu kohinatehoitiheys voidaan laskea redusoidamalla kaikkien transistorien kohinatehoitiheydet tuloon ja summaamalla ne. Kohinalähteet on esitetty kuvassa 36.



Kuva 36: FC-vahvistin kohinalähteineen.

Tuloparitransistorien kohina on jo valmiiksi redusoitu tuloon, joten se näkyy tulossa kohinana $v_{n1,eq}^2 = v_{n1}^2$ ja $v_{n2,eq}^2 = v_{n2}^2$. Tuloparin esivirtalähdetransistorin kohina on yhteismuotoista, joten se vaikuttaa lähtöön hyvin vähän ja siten redusoituu tuloon hyvin pienenä: $v_{n11,eq}^2 \approx 0$. Kaskoditransistorien kohina aiheuttaa virran, joka on suuren lähteellä näkyvän resistanssin takia pieni, joten sekin näkyy tulossa pienenä: $v_{n5,eq}^2 \approx 0$, $v_{n6,eq}^2 \approx 0$, $v_{n7,eq}^2 \approx 0$ ja $v_{n8,eq}^2 \approx 0$. Sekä virtalähdetransistorien että virtapeilitransistorien kohina aiheuttaa lähtöhaaraan virran, joka voidaan redusoida tuloon siirtokonduktanssiarvojen suhteella, jolloin se näkyy tulossa kohinana $v_{n3,eq}^2 = \frac{g_{m3}}{g_{m1}}v_{n3}^2$, $v_{n4,eq}^2 = \frac{g_{m4}}{g_{m1}}v_{n4}^2$, $v_{n9,eq}^2 = \frac{g_{m9}}{g_{m1}}v_{n9}^2$ ja $v_{n10,eq}^2 = \frac{g_{m10}}{g_{m1}}v_{n10}^2$. Nämä kaikki tulossa näkyvät kohinakomponentit $v_{ni,eq}^2$ summaamalla saadaan tuloon redusoiduksi kohinatehotiheydeksi kaavan 78 avulla [27]

$$\begin{aligned} v_{no}^2 &= v_{n1}^2 + v_{n2}^2 + \frac{g_{m3}}{g_{m1}}v_{n3}^2 + \frac{g_{m4}}{g_{m1}}v_{n4}^2 + \frac{g_{m9}}{g_{m1}}v_{n9}^2 + \frac{g_{m10}}{g_{m1}}v_{n10}^2 \\ &= \frac{4k_B T}{g_{m1}} \left(\gamma_1 + \gamma_2 + \frac{g_{m3}}{g_{m1}}\gamma_3 + \frac{g_{m4}}{g_{m1}}\gamma_4 + \frac{g_{m9}}{g_{m1}}\gamma_9 + \frac{g_{m10}}{g_{m1}}\gamma_{10} \right). \end{aligned} \quad (79)$$

Käytetään suunnitellun piirin arvoja siirtokonduktanssien suhteille ($g_{m3}/g_{m1} = g_{m4}/g_{m1} = 1$ ja $g_{m9}/g_{m1} = g_{m10}/g_{m1} = 0,2$) ja kohinaparametreille ($\gamma_1 = \gamma_2 = \gamma_3 = \gamma_4 = \gamma_9 = \gamma_{10} = 2/3$). Sijoittamalla nämä yhtälöön 79, saadaan

$$v_{no}^2 = \frac{16k_B T}{3g_{m1}} \cdot 2,2. \quad (80)$$

Tarkastellaan myös kytkimen aiheuttamaa kohinaa. Resistanssin R_j aiheuttamaa termistä kohinaa voidaan mallintaa resistanssin kanssa sarjaan kytketyllä kohinalähteellä, jonka kohinatehotiheys on [3]

$$v_{nr_j}^2 = 4k_B T R_j. \quad (81)$$

Tämä pätee myös kytkinresistanssille: kytkimen K_j , jonka kytkinresistanssi on $R_{ON,j}$, kohinateho on

$$v_{nk_j}^2 = 4k_B T R_{ON,j}. \quad (82)$$

Signaalia näytteistettäessä maata vasten olevaan kondensaattoriin tai kondensaattoria nollattaessa kytkinresistanssista aiheutuva kohina näytteistyy kondensaattoriin. Tällöin kytkimestä K_j kondensaattoriin, jonka kapasitanssi on C_i , laskostuvan kohinan tehollisarvo on [3]

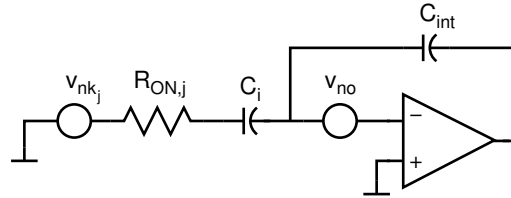
$$\overline{v_{nk_j, C_i}^2} = \frac{k_B T}{C_i}. \quad (83)$$

Laskostuva kohina on siis kytkinresistanssin arvosta riippumaton – se riippuu ainoastaan kondensaattorin kapasitanssista.

4.2 Kohina SC-integraattorissa

Tarkastellaan SC-integraattorin kohinaa. Yhdessä SC-integraattorissa voi olla useita tulohaaroja, ja se saattaa käyttää CDS-tekniikkaa. Operaatiovahvistimen, kytkimien ja kondensaattoreiden aiheuttaman kohinakaistanleveyden ja laskostuneen kohinan määrittäminen tarkasti kussakin monimutkaisen SC-integraattorin vaiheessa on erittäin monimutkaista. Seuraavassa määritellään tarkan arvonsijasta ylärajat eri kohinalähteistä laskostuvalle kohinalle käyttämällä pahimman tapauksen arvoa kohinakaistanleveydelle.

Tarkastellaan kuvan 10 b) integraattorin vaiheessa ϕ_2 laskostuvaa kohinaa. Kuvassa 37 on esitetty tämän integraattorin muodostama kohinapiiri kohinalähteiseen vaiheessa ϕ_2 (indeksointia vaihdettu: $C_1 \rightarrow C_i$, $C_2 \rightarrow C_{int}$). $R_{ON,j}$ esittää kytkimistä muodostuvaa kokonaisresistanssia, v_{no} operaatiovahvistimen kohinajännitettä ja v_{nk_j} kytkimien aiheuttamaa kokonaiskohinajännitettä.



Kuva 37: Kuvan 10 c) integraattorin kohinapiiri vaiheessa ϕ_2 .

Kun OTA-tyyppisestä operaatiovahvistimesta käytetään yhden navan approksimaatiota, saadaan kuvan 37 kohinapiirin aikavakioksi [3]

$$\tau_j = C_i(R_{ON,j} + 1/g_{m1}) , \quad (84)$$

jossa g_{m1} on operaatiovahvistimen tuloparin siirtokonduktanssi. Tällöin operaatiovahvistimesta virtuaalimaan ja signaalimaan väliseen kondensaattoriin C_i laskostuvan kohinan tehollisarvo on [3]

$$\overline{v_{no,C_i}^2} = \frac{v_{no}^2}{4\tau_j} . \quad (85)$$

Pahimmassa tapauksessa $R_{ON,j}$ on niin pieni verrattuna g_{m1} :een, ettei se rajoita kohinapiirin kaistaa ($\frac{1}{g_{m1}} \gg R_{ON,j}$). Tällöin kohinakaistan määrää ainoastaan g_{m1} ja τ_j :n alarajaksi saadaan yhtälöstä 84

$$\tau_j = C_i/g_{m1} . \quad (86)$$

Sijoittamalla yhtälöt 80 ja 86 yhtälöön 85 saadaan operaatiovahvistimesta kondensaattoriin C_i laskostuvan kohinan tehollisarvolle yläraja

$$\overline{v_{no,C_i}^2} = \frac{4k_B T}{3C_i} \cdot 2,2 . \quad (87)$$

Samalla kytkimistä, jotka kytkevät kondensaattorin C_i virtuaalimaan ja signaaliin välille, kondensaattoriin C_i laskostuvan kohinan tehollisarvoksi saadaan [3]

$$\overline{v_{nk_j, C_i}^2} = \frac{v_{n,r}^2}{4\tau_j} . \quad (88)$$

Pahimmassa tapauksessa kohinavirran näkemä kytkinresistanssi $R_{ON,j}$ dominoi kohinakaistanleveyden määräytymistä ($R_{ON,j} \gg \frac{1}{g_{m1}}$), jolloin τ_i :n alarajaksi saadaan

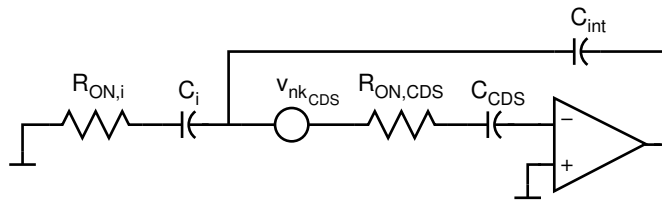
$$\tau_j = R_{ON}C_i . \quad (89)$$

Sijoittamalla yhtälöt 82 ja 89 yhtälöön 88 saadaan kytkimistä laskostuvan kohinan tehollisarvolle yläraja

$$\overline{v_{nk_j, C_i}^2} = \frac{k_B T}{C_i} . \quad (90)$$

Huomataan, että tämä pahimman tapauksen yhtälö on sama kuin yksinkertaista kohinapiiriä vastaava yhtälö 83. Tämä on luonnollista, sillä nyt kohinapiirin pahimman tapauksen aikavakio (ks. yhtälö 89) on sama kuin yksinkertaisen kohinapiirin aikavakio.

Kuvan 11 CDS-integraattorissa kondensaattoria C_2 ei tarvitse kytkeä kytkimellä virhekompensoituun virtuaalimaan (eikä operaatiovahvistimen invertoivaan napaan). Suunnittelussa piirissä sarjakytkintä jouduttiin kuitenkin käyttämään varauksenjaon toteuttamiseksi. Tällöin kohinapiiri kellovaiheessa ϕ_2 on kuvassa 38 esitetyn mukainen (indeksointia vaihdettu, vrt. kuva 11: $C_1 \rightarrow C_i$, $C_2 \rightarrow C_{CDS}$, $C_3 \rightarrow C_{int}$). Kuvaan on jätetty piirtämättä muiden kytkimien ja operaatiovahvistimen kohina, sillä niiden vaikutus on sama kuin edellä ja ne voidaan käsitellä erikseen.



Kuva 38: Kuvassa 11 esitetyn perustyyppisen CDS-integraattorin kohinapiiri, kun kondensaattorin C_2 ja virhekompensoidun virtuaalimaan väliin lisätään sarjakytkin K_{CDS} .

Kytkimen $K_{K_{CDS}}$ aiheuttama kohina $v_{nk_{CDS}}$ näkyy suoraan CDS-korjatussa virtuaalimaassa ($n0$). Tämä kohinateho näkee saman kohinakaistanleveyden kuin edellä käsitelty operaatiovahvistimen kohinajännite. Käytetään siis yhtälöä 85, jossa v_{no}^2 :n tilalle sijoitetaan kytkimen aiheuttama, yhtälön 82 mukainen kohinajännite, jossa $R_{on,j} = R_{on,CDS}$. Aikavakio τ_j on edelleen yhtälön 86 mukainen. Sijoittamalla nämä yhtälöt yhtälöön 85, saadaan laskostuvan kohinantehon tehotiheydeksi

$$\overline{v_{nk_{CDS}, C_i}^2} = \frac{v_{nk_{CDS}}^2}{4C_i/g_{m1}} = \frac{k_B T}{C_i} \cdot g_{m1}R_{ON,CDS} . \quad (91)$$

Tämä kohinatyyppi on edellä analysoiduista (enimmäis-) kohinatyypeistä ainoa, jonka laskostaman kohinan kokonaistehollisarvo riippuu kytkinresistanssista ja operaatiovahvistimen tuloparin (absoluuttisesta) siirtokonduktanssista.

Oletetaan, että SC-integraattorissa on useampi tulohaara. Redusoidaan kondensaattoriin C_i laskostunut kohina tulohaaraan, jossa on kondensaattori C_r . C_i :ssä oleva kohinavaraus näkyy yhtä suurena myös C_{int} :ssä, joten kohinateho integraattorin lähdössä saadaan kertomalla näytteistynyt kohinateho kapasitanssisuhteen neliöllä

$$r_{i,int}^2 = \frac{C_i^2}{C_{int}^2}. \quad (92)$$

Lähdössä näkyvä kohinateho voidaan redusoida tuloon (jossa on kondensaattori C_r) kertomalla lähdössä näkyvä kohinateho kapasitanssisuhteen neliöllä

$$r_{int,r}^2 = \frac{C_{int}^2}{C_r^2}. \quad (93)$$

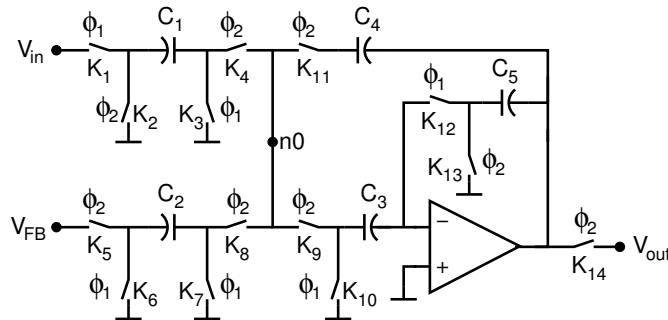
Näin ollen kondensaattoriin C_i laskostunut kohina voidaan redusoida tuloon (jossa on kondensaattori C_r) kertoimella

$$r_{i,r}^2 = r_{i,int}^2 r_{int,r}^2 = \frac{C_i^2}{C_r^2}. \quad (94)$$

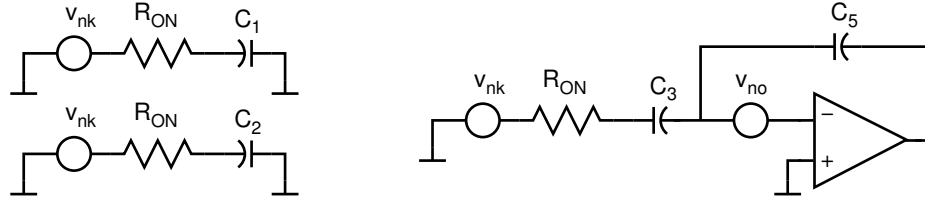
4.3 Toteutetun integraattorin kohina

Tarkastellaan kuvan 39 CDS-integraattoria, joka on kohinapiiriltään identtinen suunnitellun integraattorin kanssa (vrt. kuva 24). Sen CDS-mekanismi on toimintaperiaatteeltaan sama kuin kuvassa 11 esitetty mekanismi. Operaatiovahvistimena on suunniteltu FC-vahvistin, jonka kohina on analysoitu kappaleessa 4.1.

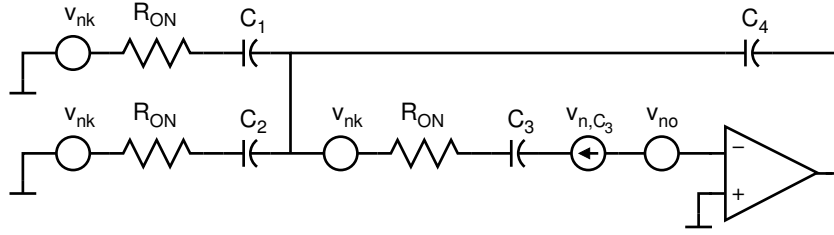
Seuraavassa määritellään integraattorin kondensaattoreihin laskostuvat kohinat ja referoidaan ne muuntimen tuloon. Kuvan 39 integraattorin kohinapiiri kellovaiheessa ϕ_1 on esitetty kuvassa 40 ja kellovaiheessa ϕ_2 kuvassa 41.



Kuva 39: Analysoitava CDS-integraattori. V_{FB} viittaa $\Delta\Sigma$ -muuntimen takaisinkytkentäsignaaliin, joka saa kussakin kellojaksossa vakioarvon.



Kuva 40: Kuvan 39 integraattorin kohinapiiri vaiheessa ϕ_1 .



Kuva 41: Kuvan 39 integraattorin kohinapiiri vaiheessa ϕ_2 .

Kellovaiheessa ϕ_1 kytkimistä K_1 ja K_3 laskostuu kondensaattoriin C_1 ja kytkimistä K_6 ja K_7 kondensaattoriin C_2 yhtälön 83 mukainen kohina. Kun kondensaattoriin C_2 laskostuneen kohinan tehollisarvo redusoidaan C_1 :een yhtälön 94 osoittaman kertoimen avulla ja summataan C_1 :een laskostuneen kohinan tehollisarvon kanssa, saadaan

$$\overline{v_{n,\phi_1}^2} = \overline{v_{nk_{1,3,\phi_1,C_1}}^2} + \frac{C_2^2}{C_1^2} \overline{v_{nk_{6,7,\phi_1,C_2}}^2} = \frac{k_B T}{C_1} \left(1 + \frac{C_2}{C_1} \right). \quad (95)$$

Kondensaattoriin C_3 laskostuu operaatiovahvistimesta yhtälön 87 mukainen kohina ja kytkimestä K_{10} yhtälön 90 mukainen kohina. Nämä tehollisarvot summaamalla saadaan kohinan kokonaistehollisarvo

$$\overline{v_{n,\phi_1,C_3}^2} = \overline{v_{nk_{10,C_3}}^2} + \overline{v_{no,C_3}^2} = \frac{k_B T}{C_3} \cdot 3,9. \quad (96)$$

Kellovaiheessa ϕ_2 kytkimistä K_2 ja K_4 laskostuu kondensaattoriin C_1 , ja kytkimistä K_5 ja K_8 kondensaattoriin C_2 yhtälön 90 mukainen kohina. Lähdössä näkyvät kohinatehot redusoidaan tuloon yhtälön 94 osoittaman kertoimen avulla ja summataan keskenään, jolloin saadaan

$$\overline{v_{nk_{2,4,5,8,\phi_2}}^2} = \overline{v_{nk_{2,4,\phi_2,C_1}}^2} + \frac{C_2^2}{C_1^2} \overline{v_{nk_{5,8,\phi_2,C_2}}^2} = \frac{k_B T}{C_1} \left(1 + \frac{C_2}{C_1} \right). \quad (97)$$

Lisäksi kondensaattoreihin C_1 ja C_2 laskostuu operaatiovahvistimesta yhtälön 87 mukaiset keskenään korreloivat kohinat. Tuloon redusoitu kohinateho saadaan jälleen yhtälön 94 avulla, jolloin summaamalla kohinajännitteet saadaan

$$\overline{v_{no,\phi_2}^2} = \left(\overline{v_{no,\phi_2,C_1}} + \frac{C_2}{C_1} \overline{v_{no,\phi_2,C_2}} \right)^2 = \frac{k_B T}{C_1} \cdot 2,9 \left(1 + 2\sqrt{\frac{C_2}{C_1}} + \frac{C_2}{C_1} \right). \quad (98)$$

Kytkimestä K_9 kondensaattoreihin C_1 ja C_2 laskostuvat kohinat ovat myös keskenään korreloivia. Kohinat noudattavat yhtälöä 91, jossa suunnitellun piirin arvoilla saadaan pahimmassa tapauksessa $R_{ON,CDS} \cdot g_{m1} = R_{ON,9} \cdot g_{m1} = 0,75$. Tuloon redusoitu kohinateho saadaan samoin kuin edellä:

$$\overline{v_{nk_9,\phi_2}^2} = \left(\overline{v_{nk_9,\phi_2,C_1}} + \frac{C_2}{C_1} \overline{v_{nk_9,\phi_2,C_2}} \right)^2 = \frac{k_B T}{C_1} \cdot 0,75 \left(1 + 2\sqrt{\frac{C_2}{C_1}} + \frac{C_2}{C_1} \right). \quad (99)$$

Kondensaattoriin C_3 vaiheessa ϕ_1 laskostunut kohina aiheuttaa yhtälön 96 mukaiset keskenään korreloivat virheet kummankin kondensaattorin C_1 ja C_2 varauksensiirrossa kellovaiheen ϕ_2 aikana. Tuloon redusoitu kohina saadaan jälleen samoin kuin edellä:

$$\overline{v_{nC_3,\phi_2}^2} = \left(\overline{v_{nC_3,\phi_2,C_1}} + \frac{C_2}{C_1} \overline{v_{nC_3,\phi_2,C_2}} \right)^2 = \frac{k_B T}{C_3} \cdot 3,9 \left(1 + 2 \cdot \frac{C_2}{C_1} + \frac{C_2^2}{C_1^2} \right). \quad (100)$$

Taulukosta 2 voidaan ratkaista kapasitanssisuhteeksi $C_2/C_1 = b_1/a_1 = 3/2$. Sijoittamalla tämä ja summaamalla yhtälöiden 95, 97, 98, 99 ja 100 kohinan tehollisarvot, saadaan kondensaattorin C_1 yli olevaksi kohinan kokonaistehollisarvoksi

$$\overline{v_{n,eq}^2} = \frac{k_B T}{C_1} \cdot 23,2 + \frac{k_B T}{C_3} \cdot 24,6. \quad (101)$$

Termisen kohinan rajoittama SNR mitoitettiin 8 dB suuremmaksi kuin vaadittu SNR eli 88 dB:iin. 8 dB:n marginaalin katsottiin olevan mitoituksessa riittävä, sillä yllä esitettyssä analyysissä on laskettu nimenomaan pahimman tapauksen termisen kohina.

Yhtälöstä 101 nähdään, että C_1 :n ja C_3 :n mitoitus vaikuttavat lähes yhtä paljon kokonaiskohinaan. Sijoittamalla suunnitellun piirin arvot $C_1 = C_3 = 0,57 \text{ pF}$ ja $f_s = 250 \text{ kHz}$ saadaan kohinatiheydeksi

$$v_{n,eq} = \sqrt{\frac{\overline{v_{n,eq}^2}}{f_s/2}} = 1,7 \text{ } \mu\text{V}/\sqrt{\text{Hz}}. \quad (102)$$

Kohinasta 70 % on peräisin operaatiovahvistimesta ja 30 % kytkimistä.

Sijoittamalla signaalin tehollisarvon $\overline{v_s} = 1,8 \text{ V}/\sqrt{2}$ ja kohinan tehollisarvon signaaliikaistalla $\overline{v_n} = v_{n,eq} \sqrt{BW}$, jossa $v_{n,eq}$ on yhtälön 102 mukainen ja $BW = 1 \text{ kHz}$, yhtälöön 1 saadaan termisen kohinan rajoittaman SNR :n (SNR_T) alarajaksi haluttu

$$SNR_T = 88 \text{ dB}. \quad (103)$$

Näytteistynyttä kohinaa olisi voitu pienentää yhtälön 101 mukaan C_1 :tä suurentamalla likimain yhtä paljon kuin C_3 :a suurentamalla. C_1 :n suurentamisesta seuraa myös jo ennestään kapasitanssien alaa dominoivan C_4 :n ja C_2 :n suurentaminen, sillä niiden suhteiden on oltava taulukon 2 ”Kapasitanssisuhde”-sarakkeen mukaiset.

Piirin kokonaisala siis kasvaisi huomattavasti, jos kohinatehoa haluttaisiin vähentää esimerkiksi 25 %. Piiriala kasvaisi kuitenkin huomattavasti hitaammin C_3 :a suurentamalla, sillä sen koolla ei ole merkitystä suhteessa muihin kapasitansseihin. Esimerkiksi kohinatehon vähentäminen 25 %:lla vaatisi vain lähes merkityksettömää piirialan kasvattamista.

Tässä työssä käytetyn tulossignaalin kaksoisnäytteistyksen takia on tulokondensaattorin C_1 mitoituksessa huomioitava myös tulossignaalin kelloaajuuden puolikkaan lähellä olevan kohinakomponentin ($v_{n,HF} = 140\mu V/\sqrt{Hz}$, ks. kappale 3.1) vaikutus. Lausumalla yhtälön 49 kapasitanssien todelliset arvot C_{1A} ja C_{1B} nimellisen arvon C_1 ja epäsovituksen C_Δ avulla ($|C_{1A} - C_{1B}| = 2C_\Delta$ ja $C_{1A} + C_{1B} = 2C_1$) saadaan signaalikaistalle alassekoittuneen kohinan tehotiheydeksi

$$v_{n,fold} = A_{mod}v_{n,HF} = \left| \frac{C_{1A} - C_{1B}}{C_{1A} + C_{1B}} \right| v_{n,HF} = \frac{C_\Delta}{C_1} \cdot v_{n,HF} . \quad (104)$$

Suhteellinen epäsovitus C_Δ/C_1 saatiin valitulla C_1 :n arvolla suurellakin varmuusmarginaalilla riittävän pieneksi siten, että $v_{n,fold}$ jää reilusti yhtälön 102 osoittaman kohinalattian $v_{n,eq}$ alapuolelle ($v_{n,fold} \ll v_{n,eq}$).

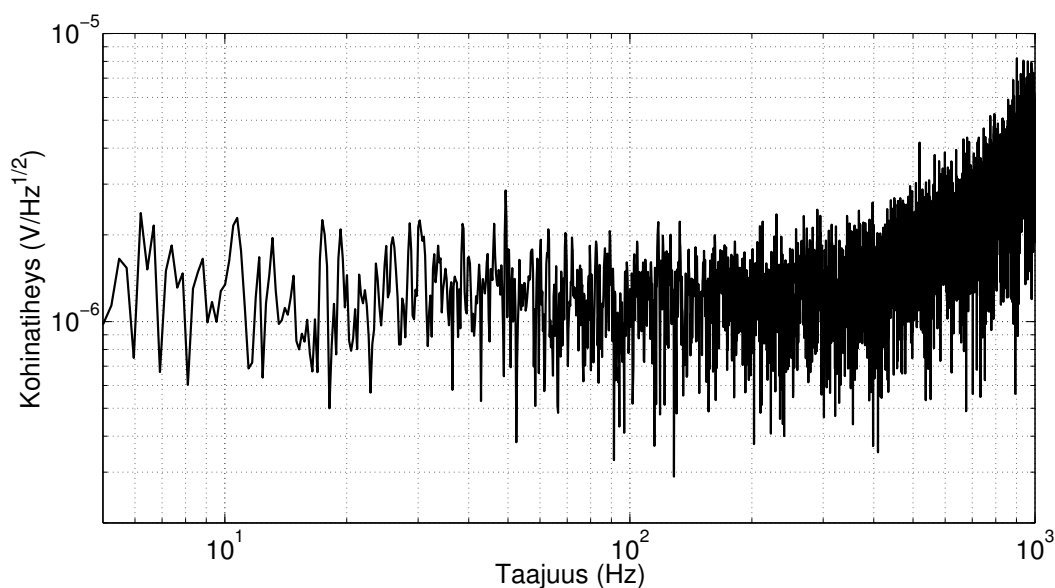
5 Mittaukset ja tulosten analysointi

$\Delta\Sigma$ -muuntimen mittaamiseen käytettiin testipiirilevyn lisäksi ulkoista jännitelähdettä, signaaligeneraattoria, paristoa, digitointilaitetta (digitaalisen lähtösignaalin tallentamiseksi) sekä lämpökaappia. Tallennettu data analysoitiin MATLAB -ohjelmiston avulla käyttäen Delta Sigma Toolbox -lisäosaa.

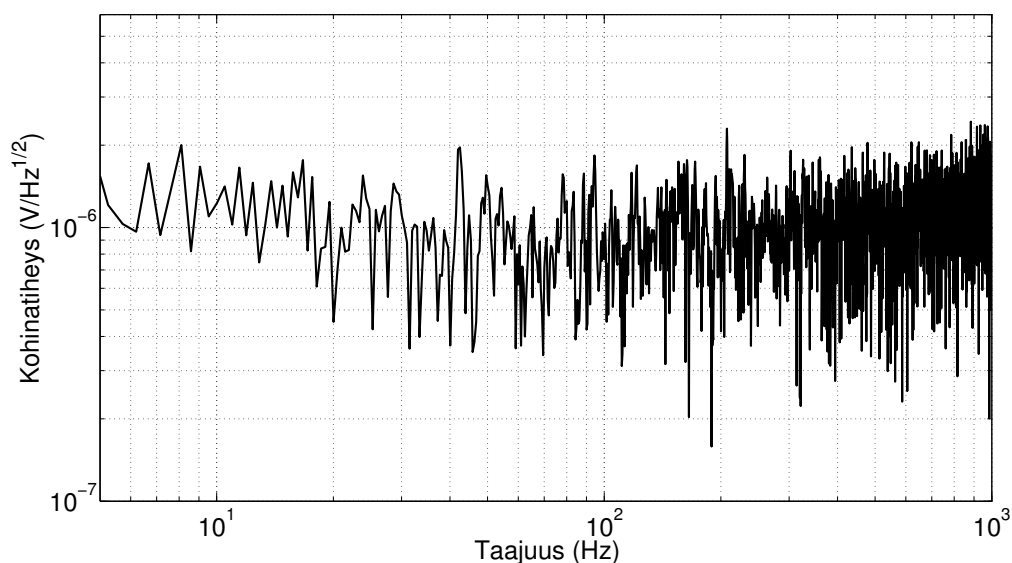
Piirin performanssi mitattiin tuomalla piirille matalakohinainen käyttöjännite $V_{DD} = 3,6 V$ sekä DC- ja sinimuotoiset tulosignaalit. Piirin virrankulutukseksi mitattiin normaalitapauksessa $47 \mu A$, mikä vastaa käytetyllä käyttöjännitteellä $170 \mu W$:n tehonkulutusta. Kaksinkertaisella kellotaajuudella $500 kHz$ ja kaksinkertaisella operaatiovahvistimien esivirralla virrankulutus on $89 \mu A$, mikä vastaa $320 \mu W$:n tehonkulutusta.

Tuloon redusoitu kohina mitattiin paristosta saadulla $1,1 V$:n DC-signaalilla. Mittaukset tehtiin piirin ollessa kammiossa, jonka lämpötilaa voitiin muuttaa. Nimellislämpötilassa $27^\circ C$ mitattu tuloon redusoitu kohinatehospektri on esitetty kuvassa 42. Kuvassa näkyy verkkotaajuinen spektrikomponentti taaajuudella $50 Hz$. Kohinalattian kohinatiheys $v_{n,eq,T}$ on $1,3 \mu V/\sqrt{Hz}$.

Tämä kohinatiheys vastaa termisen kohinan rajoittamaa SNR :ää $SNR_T = 90 dB$ (vrt. suunniteltu alaraja $SNR_T = 88 dB$). Tästä, kuten myös kuvasta 42, voidaan päätellä, että kvantisointikohina rajoittaa $\Delta\Sigma$ -muuntimen SNR :ää. Tämä oli odotettavissa ja jopa toivottavaa, sillä kappaleessa 3.10 kohinatransienttisimulaatiosta saatu (myöskin kvantisointikohinan rajoittama) SNR $86 dB$ on vain $6 dB$ suurempi vaadittua SNR :ää $80 dB$. Mitatun kohinan perusteella suunnittelu onnistui siis erittäin optimaalisesti.



Kuva 42: Nimellislämpötilassa $27^\circ C$ näytetaajuudella $f_s = 250 kHz$ mitattu tuloon redusoitu kohinatehospektri. Kohinalattian kohinatiheys on $1,3 \mu V/\sqrt{Hz}$.



Kuva 43: Nimellislämpötilassa 27°C näytetaajuudella $f_s = 500\text{ kHz}$ mitattu tuloon redusoitu kohinatehospektri. Kohinalattian kohinatiheys on $1,0\ \mu\text{V}/\sqrt{\text{Hz}}$.

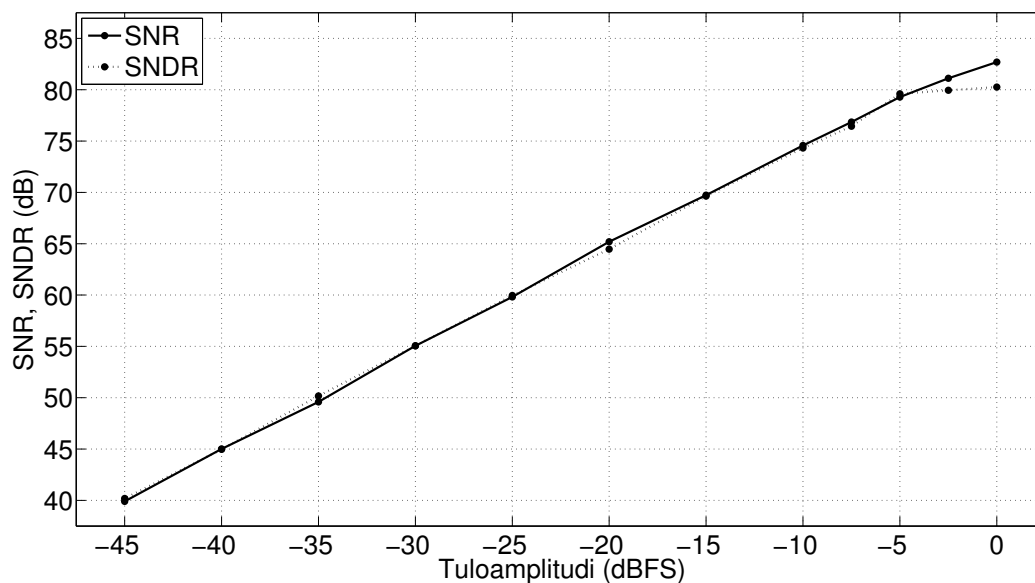
Vastaavan mittauksen spektri kaksinkertaisella näytetaajuudella ja kaksinkertaisella operaatiovahvistimien esivirralla on esitetty kuvassa 43. Kohinalattian kohinatiheys $v_{n,eq,T}$ on $1,0\ \mu\text{V}/\sqrt{\text{Hz}}$, joka vastaa SNR_T :tä 92 dB . Kohinatiheyden pienentyminen johtuu pääosin kohinatehon jakautumisesta suuremmalle kaistalle. Kuvia 42 ja 43 vertaamalla nähdään, kuinka OSR :n kaksinkertaistaminen kasvattaa kvantisointikohinan kulmapistetajuuden kaksinkertaiseksi.

Piirin SNR mitattiin käyttämällä sinimuotoista tulosignaalia taajuudella 3160 Hz . Signaali asetettiin signaalikaistan ulkopuolelle, jotta harmoninen säröteho ja signaaliteho eivät osuisi signaalikaistalle. $SNDR$ mitattiin käyttämällä sinimuotoista tulosignaalia taajuudella 90 Hz . Signaali asetettiin signaalikaistan sisälle riittävän matalalle, niin että kaikki $SNDR$:ään vaikuttavat harmoniset särökomponentit jäisivät signaalikaistalle.

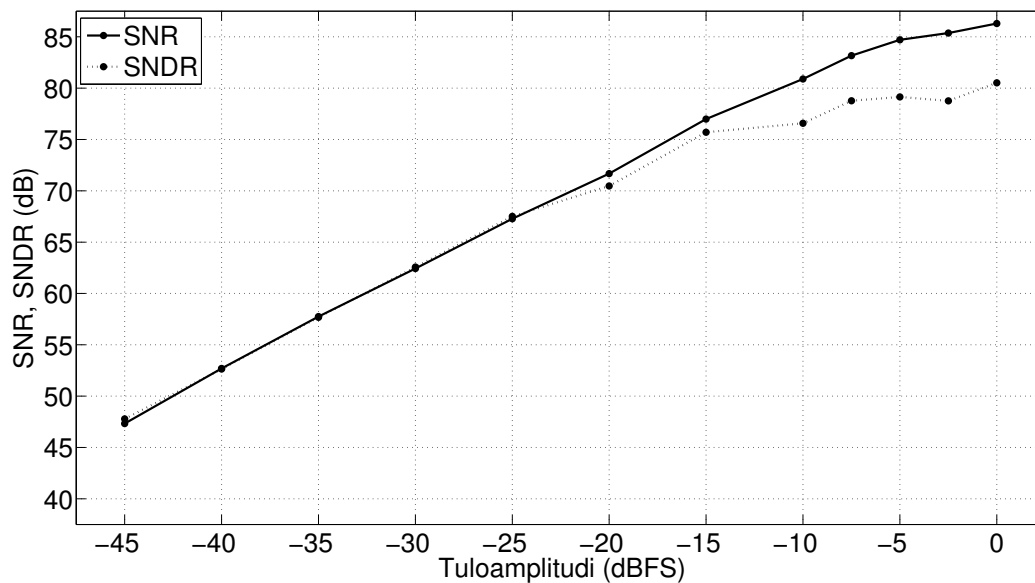
Mitatut SNR - ja $SNDR$ -arvot tulosignaalin amplitudin funktiona on esitetty kuvassa 44 ($f_s = 250\text{ kHz}$) ja 45 ($f_s = 500\text{ kHz}$). Mitatut enimmäisarvot SNR :lle ovat vastaavasti 83 dB ja 86 dB sekä $SNDR$:lle 80 dB ja 81 dB .

Kuten kappaleessa 3.1 vaadittiin, $\Delta\Sigma$ -muunnin kykenee muuntamaan täysimittaisen tulosignaalin vaaditulla tarkkuudella. Tämä huomataan kuvasta 44, kuten myös se, että SNR ja $SNDR$ käyttäytyvät hyvin tuloamplitudin funktiona. Enimmäis- $SNDR$ osuu melko tarkasti 0 dBFS :n kohdalle molemmilla eri näytetaajuuksilla, mikä on pienten suunnittelumarginaalien ja täysimittaisen tulosignaalin muunnosvaatimuksen takia haluttu ominaisuus.

Myös kaksinkertaisella näytetaajuudella toimiessaan muunnin on riittävän tarkka, kuten kuvasta 45 voidaan todeta. Kaksinkertaisella kellotaajuudella terminen kohina jakautuu suuremmalle kaistalle ja OSR kaksinkertaistuu, jolloin kvantisointikohina



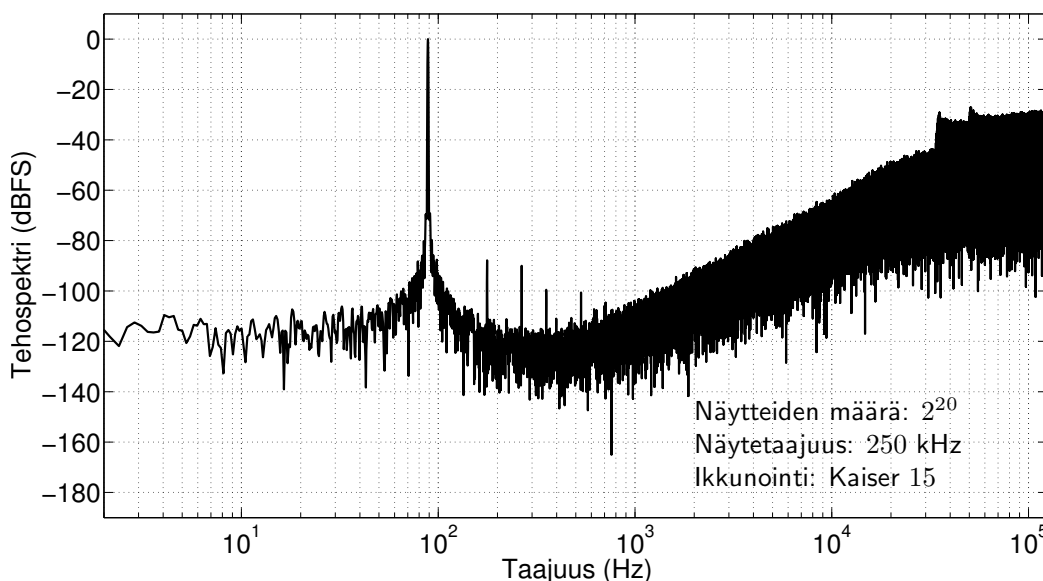
Kuva 44: Nimellislämpötilassa 27°C näytetaajuudella $f_s = 250 \text{ kHz}$ mitatut SNR ja $SNDR$ tuloamplitudin funktiona.



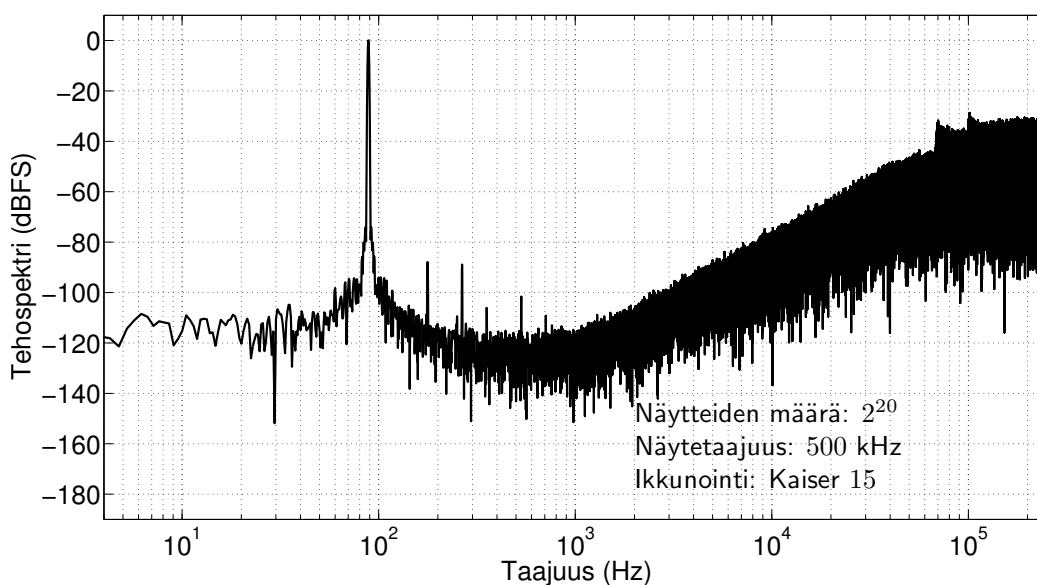
Kuva 45: Nimellislämpötilassa 27°C näytetaajuudella $f_s = 500 \text{ kHz}$ mitatut SNR ja $SNDR$ tuloamplitudin funktiona.

pienenee. Kuvasta nähdään myös, että SNR ja $SNDR$ alkavat saturoitua suurilla tuloamplitudin arvoilla. Tällöin terminen kohina alkaa rajoittaa SNR :n kasvua tuloamplitudin funktiona. $SNDR$ ei käyttäydy yhtä ennustettavasti, sillä sen kasvuun tuloamplitudin funktiona vaikuttavat eri harmonisten säröjen dominoiminen vuorotellen tuloamplitudin kasvaessa.

Mitattu tehospektri tulosignaalin amplitudin ollessa 0 dBFS ja taajuuden ollessa 90



Kuva 46: Nimellislämpötilassa 27°C näytetaajuudella $f_s = 250\text{ kHz}$ mitattu lähtösignaalin tehospektri, kun tulosignaalin amplitudi on 0 dBFS ja taajuus 90 Hz .



Kuva 47: Nimellislämpötilassa 27°C näytetaajuudella $f_s = 500\text{ kHz}$ mitattu lähtösignaalin tehospektri, kun tulosignaalin amplitudi on 0 dBFS ja taajuus 90 Hz .

Hz on esitetty kuvassa 46, kun $f_s = 250\text{ kHz}$, ja kuvassa 47, kun $f_s = 500\text{ kHz}$. Tehospekreissä näkyvät selvinä toinen, kolmas, neljäs ja kuudes harmoninen särökomponentti. Mitattu häiriötön dynaaminen alue $SFDR$ (engl. spurious free dynamic range) on molemmissa tapauksissa 88 dB , joka vastaa toisen asteen harmonista säröä $HD_2 = -88\text{ dBc}$. Kolmannen asteen harmoninen särö HD_3 on -90 dBc , kun

$f_s = 250 \text{ kHz}$, ja -89 dBc , kun $f_s = 500 \text{ kHz}$. Nämä 250 kHz :n näytetaajuudella mitatut tulokset ovat ainoastaan hieman piirikuvion perusteella simuloituja arvoja huonommat.

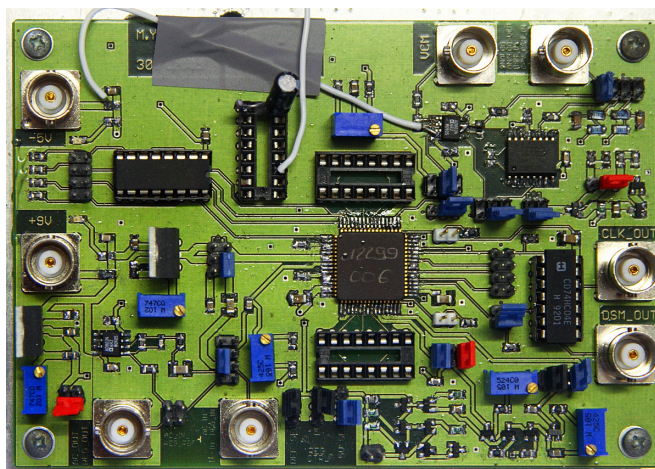
Toisen asteen harmonisen särön dominointi epälinearisuutta tarkasteltaessa on siinä yllätys, sillä yleensä kolmas harmoninen dominoi. Toisaalta simulaatioissakin on havaittavissa, että toinen harmoninen on samaa luokkaa kolmannen harmonisen kanssa. Tämä johtuu todennäköisesti kuvan 24 kondensaattoreiden C_{FB1} ja C_{FB2} nollassa tapahtuvasta, maatasen alapuolelle menevästä jännitepiikistä, josta kerrottiin kappaleessa 3.3.

Kuvista 46 ja 47 huomataan hyötysignaalin tehon vuotavan vierekkäisille taajuuksille. Tämä johtuu kohinaisesta sisäisestä kellogeneraattorista. Tulosignaali siis näytetään $\Delta\Sigma$ -muuntimen tulossa epätarkalla kellosignaalilla, mikä aiheuttaa tulosignaalin tehon vuotamisen suhteellisen laajalle taajuuskaistalle.

Lisäksi muuntimessa havaittiin verrattain suuri tulonsiirros. Se johtuu todennäköisesti kuvan 24 virtuaalimaan $n0$ kytkemisestä maapotentiaaliin vaiheen ϕ_B aikana. Vaiheessa ϕ_B $n0$:ssa kiinni olevat parasiittiset kapasitanssit purkautuvat. Vaiheessa ϕ_A $n0$ nousee CM-jännitteeseen, jolloin parasiittiset kapasitanssit latautuvat, mikä merkitsee varausvirheen siirtymistä integrointikondensaattoriin C_{int1} . Nämä parasiittiset kapasitanssit ovat peräisin kytkimistä, joten niiden arvo on lämpötilariippuva. Siispä tulonsiirroksen voidaan odottaa ryömivän lämpötilan mukana.

Kuvassa 48 on esitetty kalustettu piirilevy, jota käytettiin prosessoidun piirin mittaamiseen. Samalle IC:lle integroitiin koko anturijärjestelmä, joten piirilevyllä on myös muiden lohkojen tarvitsemia ja niiden mittaamiseen tarvittavia komponentteja.

Yhteenvedona voidaan sanoa, että suunniteltu $\Delta\Sigma$ -muunnin täytti sille asetetut vaatimukset niin SNR :n, $SNDR$:n kuin tehonkulutuksenkin suhteen sekä nimellisellä 250 kHz :n näytetaajuudella että kaksinkertaisella, 500 kHz :n näytetaajuudella. Taulukkoon 6 on koottu tärkeimmät mittaustulokset.



Kuva 48: Kalustettu piirilevy, jota käytettiin mittauksissa. Nelionmuotoinen musta komponentti piirilevyn keskellä sisältää prosessoidun piirin.

Taulukko 6: Yhteenveto tärkeimmistä mittaustuloksista.

Suure	Symboli	Mitattu arvo $f_s = 250 \text{ kHz}$	Mitattu arvo $f_s = 500 \text{ kHz}$
Signaali-kohinasuhde	SNR	83 dB	86 dB
Signaali-kohina-särösuhde	$SNDR$	80 dB	81 dB
Häiriötön dynaaminen alue	$SFDR$	88 dB	88 dB
Toinen harmoninen särö	HD_2	-88 dBc	-88 dBc
Kolmas harmoninen särö	HD_3	-90 dBc	-89 dBc
Neljäs harmoninen särö	HD_4	-100 dBc	-106 dBc
Kuudes harmoninen särö	HD_6	-101 dBc	-102 dBc
Tuloon redusoitu kohinatiheys lämpötilassa -40°C lämpötilassa 27°C lämpötilassa 85°C	$v_{n,eq,T}$	$1,2 \mu\text{V}/\sqrt{\text{Hz}}$ $1,3 \mu\text{V}/\sqrt{\text{Hz}}$ $1,5 \mu\text{V}/\sqrt{\text{Hz}}$	$1,0 \mu\text{V}/\sqrt{\text{Hz}}$
Virrankulutus ($V_{DD} = 3,6\text{V}$) (Vastaava tehonkulutus)	I_{tot} (P_{tot})	$47 \mu\text{A}$ ($170 \mu\text{W}$)	$89 \mu\text{A}$ ($320 \mu\text{W}$)

6 Yhteenveto ja johtopäätökset

Tässä diplomityössä suunniteltiin $\Delta\Sigma$ -AD-muunnin matalatehoiseen mikroanturisolvellukseen. Mittausten perusteella muunnin täyttää sille asetetut vaatimukset: tehonkulutus on vaadittua suuruusluokkaa ja vaaditulla kaistalla saavutetaan riittävä tarkkuus pienestä $SQNR$:n suunnittelumarginaalista huolimatta.

$\Delta\Sigma$ -muuntimen ensimmäisessä asteessa käytetään tulosignaalin kaksoisnäytteistämistä. Symmetrisen suunnittelun ja riittävän suurten tulokondensaattoreiden ansiosta tulosignaalin korkeataajuinen kohina ei alassekoittuessaan näy signaalikaistalla. Yhdellä kondensaattorilla toteutetun lähtöbitin takaisinkytkennän ansiosta myöskään kvantisointikohina ei sekoitu signaalikaistalle.

Matalatehoinen CM-jännitereferenssi toteutettiin onnistuneesti. Piirille ei tarvitse tuottaa erikseen matalaimpedanssisia referenssijännitteitä, vaan ainoat matalaimpedanssiset solmut, käyttöjännite ja maa riittivät korkeaimpedanssisen CM-referenssijännitteen ohella $\Delta\Sigma$ -muuntimen toteuttamiseen.

CDS-tekniikan soveltaminen $\Delta\Sigma$ -muuntimen ensimmäiseen asteeseen onnistui piirin erityispiirteistä huolimatta: CDS-korjattu virtuaalimaa tuotettiin käyttöjännitteestä ja maapotentialista varauksenjakotekniikan avulla ilman matalaimpedanssista CM-referenssijännitettä. CDS-operaation näytteistysvaihe onnistuttiin myös ajoittamaan suotuisasti – toisaalta tulosignaalin kaksoisnäytteistyksestä huolimatta, toisaalta anturielektronikan kellovaiheiden ajoituksen ansiosta.

Silmukkasuodintopologian valinta tehtiin yhdessä operaatiovahvistintyyppin ja CM-jännitetasojen valintojen kanssa ottaen huomioon anturielektronikan vaatima ajoitus ja näytteistystapa. Yksinkertainen FB-rakenne valittiin käytettäväksi yhdessä FC-tyyppisen OTA-vahvistimen kanssa, jolloin yksi CM-jännitetaso on riittävä. Muuntimelle ei ollut tarvetta toteuttaa omaa kellopiiriä, sillä kaikki käytetyt kello-signaalit ovat saatavilla anturisyteemille suunnitellusta kellogeneraattorista.

$\Delta\Sigma$ -muuntimen suunnittelun lähtökohtana oli alusta alkaen sovelluskohtainen mitoittaminen. Anturisyteemin suunnitteluvaatimukset määräisivät $\Delta\Sigma$ -muuntimen suunnitteluvaatimukset. Matalatehoisten piiriratkaisujen löydyttyä osoittautui, että vaaditun tarkkuuden ja kaistanleveyden saavuttaminen vaati huomattavasti vaadittua pienemmän tehon. Tämän vuoksi suunnittelussa pyrittiin varmistamaan haluttu tarkkuus, stabiilisuus sekä toiminta eri lämpötiloissa ja prosessikulmissa eikä optimoimaan yksittäisten komponenttien tehonkulutusta.

Useita muitakin ratkaisuja topologian, CM-jännitetasojen ja operaatiovahvistintyyppin yhdistelmästä olisi voitu tutkia ja käyttää valittujen ratkaisujen sijasta. IF-rakenteen käyttäminen olisi vähentänyt integraattoreiden lineaarisuusvaatimuksia. Tällöin olisi voitu käyttää pienempiä integraattoreiden lähtöjännitealueita, jolloin matalatehoisemman teleskooppikaskodi-tyyppisen OTA-vahvistimen käyttö olisi ollut suotavaa.

Toisaalta usean korkeaimpedanssisen CM-jännitetasojen käyttäminen olisi helpottanut CM-jännitealueiden asettelua. Tällöin lähtöjännitealueet olisi voitu optimoida

mahdollisimman suuriksi myös matalatehoisemmalle teleskooppikaskodille. Tämä toisi vain pienen lisätehonkulutuksen toista CM-jännitereferenssiä tarvittaessa. Eri CM-referenssijännitteet olisi mahdollisesti voitu tuottaa yhdellä ainoalla matalatehoisella suurten vastusten sarjaankytkennällä.

Myös varauksenjakotekniikka, jolla CDS-korjattu virtuaalimaa tuotettiin, olisi voinut mahdollisesti soveltua teleskooppikaskodin tulon CM-jännitealueen asettelun helpottamiseen: operaatiovahvistimen tulon CM-jännitealue olisi voitu asettaa käyttäjännitteen puolenvälin ala- tai yläpuolelle samalla, kun varauksenjakotekniikalla aseteltu virtuaalimaa olisi pidetty käyttäjännitteiden puolessavälissä.

Suunnittelussa jouduttiin turvautumaan keinoihin (lähtöbitin takaisinkytkentäkon-
densaattoreiden nollaus maata vasten), joiden takia $\Delta\Sigma$ -muuntimen toisen asteen epälineaarisuus kasvoi. Mittaustulokset kuitenkin osoittavat, että ratkaisut tämän epälineaarisuuden vaimentamiseksi (CDS-korjatun virtuaalimaan kytkeminen maahan ja irti lähtöbitin takaisinkytkentäkon-
densaattorista) toimivat riittävän hyvin muuntimen vaatimusten täyttymiseksi. Korkeampiasteistenkin epälineaaristen komponenttien muodostuminen ongelmaksi johtui osaltaan siitä, että sovelluksen tulossa täysimittainen signaali ylsi käyttäjännitteen puolesta välistä aina maapotentiaaliin ja käyttäjännitteeseen.

Mittauksissa havaittiin suhteellisen suuri tulonsiirrosjännite. Tämän korjaamista voidaan tutkia kytkemällä CDS-korjattu virtuaalimaa maapotentiaalin sijasta korkeaimpedanssiseen CM-referenssijännitteeseen. Tällöin virtuaalimaa pysyy samassa jännitteessä kaikissa kellovaiheissa eikä parasiittisten kapasitanssien latautuminen aiheuta virhettä varauksensiirrosta. Simulaatioiden avulla on kuitenkin varmistettava, ettei ratkaisu häiritse korkeaimpedanssista CM-referenssijännitettä ja etteivät epälineaarisuutta aiheuttavat häiriöt kytkeydy jälleen CDS-korjatun virtuaalimaan kautta kondensaattoreihin.

Toteutukselle on mahdollista löytää suhteellisen yksinkertaisia muutoksia tehon vähentämiseksi. Toiselle integraattorille olisi voitu suunnitella oma, ensimmäisen integraattorin operaatiovahvistinta matalatehoisempi vahvistin. Virtareferenssi ja CM-jännitereferenssi olisi voitu suunnitella matalatehoisemmiksi käyttämällä pienempiä virtoja ilman, että niiden toiminta olisi häiriintynyt tai kohina kasvanut liikaa. Toisen integraattorin muuttaminen viiveelliseksi ja kaksoisnäytteistäväksi olisi pienentänyt sen nopeusvaatimuksia ja sitä kautta tehovaatimuksia.

Suunniteltu $\Delta\Sigma$ -muunnin on esitetty myös konferenssijulkaisussa [31], ja se on osa anturisysteemejä, jotka on esitetty konferenssijulkaisuissa [32], [33] ja [34]. Muunnin suunniteltiin käyttämään käyttäjännitelähteenään samalle IC:lle prosessoitua matalakohinaista jänniteregulaattoria, joka on esitetty konferenssijulkaisussa [35].

Viitteet

- [1] Baltes, H. & Brand, O. CMOS-based microsensors and packaging. *Sensors and Actuators A: Physical*, vol. 92, nro 1–3, 1. elokuuta 2001, ss. 1–9.
- [2] Waltari, M. Circuit Techniques for Low-Voltage and High-Speed A/D Converters. Väitöskirja, Teknillinen korkeakoulu, sähkö- ja tietoliikennetekniikan osasto, Espoo, 2002.
- [3] Schreier, R. & Temes, G. C. *Understanding Delta-Sigma Data Converters*. John Wiley & Sons, USA, 2005.
- [4] Hurst, P. & McIntyre, W. Double sampling in switched-capacitor delta-sigma A/D converters. *Proceedings of IEEE International Symposium on Circuits and Systems*, vol. 2, New Orleans, LA, USA, toukokuu, 1990, ss. 902–905.
- [5] Enz, C. C. & Temes, G. C. Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization. *Proceedings of the IEEE* vol. 84, nro 11, marraskuu, 1996, ss. 1584–1614.
- [6] Oliaei, O. Noise Analysis of Correlated Double Sampling SC Integrators With a Hold Capacitor. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 50, nro. 9, syyskuu, 2003, ss. 1198–1202
- [7] Johns, D. & Martin, K. *Analog Integrated Circuit Design*. John Wiley & Sons, USA, 1997.
- [8] Gharbiya, A. & Johns, D. A. On The Implementation of Input-Feedforward Delta-Sigma Modulators. *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 53, nro. 6, kesäkuu, 2006, ss. 453–457.
- [9] Hamoui, A. A. & Martin, K. W. High-Order Multibit Modulators and Pseudo Data-Weighted-Averaging in Low-Oversampling $\Delta\Sigma$ ADCs for Broad-Band Applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 51, nro. 1, tammikuu, 2004, ss. 72–85.
- [10] Ritoniemi, T., Karema, T. & Tenhunen, H. Design of Stable High Order 1-bit Sigma-Delta Modulators. *IEEE International Symposium on Circuits and Systems 1990*, vol. 4, 1.–3. toukokuuta, 1990, ss. 3267–3270.
- [11] Ortmanns, M. & Gerfers, F. *Continuous-Time Sigma-Delta A/D Converters*. Springer, Alankomaat, 2006.
- [12] Boser, B. E. & Wooley, B. A. The Design of Sigma-Delta Modulation Analog-to-Digital Converters. *IEEE Journal of Solid-State Circuits*, vol. 23, nro 6, joulukuu, 1988, ss. 1298–1308.

- [13] Länsirinne, M. Tarkka 52MHz:n delta-sigmamodulaattori radiotietoliikennesovellutuksiin. Diplomityö, Teknillinen korkeakoulu, sähkö- ja tietoliikennetekniikan osasto, Espoo, 1997.
- [14] Jiang Yu & Maloberti, F. A low-power multi-bit $\Delta\Sigma$ modulator in 90nm digital CMOS without DEM *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, vol. 1, 6.–10. helmikuuta, 2005, ss. 168–591.
- [15] Yilmaz, A., Wong, K. C. & Chao K. S. Switched current sigma-delta modulators. *International Symposium on VLSI Technology, Systems, and Applications, Proceedings of Technical Papers*, 31. toukokuuta – 2. kesäkuuta, 1995, ss. 365–369.
- [16] Morrow, P., Chamarro, M., Lyden, C., Ventura, P., Abo, A., Matamura, A., Keane, M., O'Brien, R., Minogue, P., Mansson, J., McGuinness, N., McGranaghan, M. & Ryan I. A $0.18\mu\text{m}$ 102dB-SNR mixed CT SC audio-band $\Delta\Sigma$ ADC. *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, vol. 1, 6.–10. helmikuuta, 2005, ss. 178–592.
- [17] Schoofs, R., Steyaert, M. S. J. & Sansen, W. M. C. A Design-Optimized Continuous-Time Delta-Sigma ADC for WLAN Applications. *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 54, nro 1, tammikuu, 2007, ss. 209–217.
- [18] Gil-cho Ahn, Dong-young Chang, Brown M., Ozaki N., Youra H., Yamamura K., Hamashita K., Takasuka K., Temes G. C. & Un-Ku Moon, A 0.6V 82dB $\Delta\Sigma$ audio ADC using switched-RC integrators. *IEEE International Solid-State Circuits Conference, Digest of Technical Papers*, vol. 1, 6.–10. helmikuuta, 2005, ss. 166–591.
- [19] Liu Yan, Hua Siliang, Wang Donghui & Hou Chaohuan. A 100dB-SNR mixed CT/DT audio-band sigma delta ADC. *International Conference on Solid-State and Integrated Circuit Technology*, 1.–4. marraskuuta, 2010, ss. 199-201.
- [20] Gregorian, R. & Temes, G. C. *Analog MOS Integrated Circuits for Signal Processing*. Wiley, New York, NY, USA, 1986.
- [21] Rombouts, P., De Maeyer, J. & Weyten, L. A 250-kHz 94-dB Double-Sampling $\Delta\Sigma$ Modulation A/D Converter With a Modified Noise Transfer Function. *IEEE Journal of Solid-State Circuits*, vol. 38, nro. 10, lokakuu, 2003, ss. 1657–1662.
- [22] Hong-Kui Yang & El-Masry, E. I. Double Sampling Delta-Sigma Modulators. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 43, nro. 7, heinäkuu, 1996, ss. 524–529.
- [23] Thanh, C., Lewis, S. H. & Hurst, P. J. A 2nd-Order Double-Sampled $\Delta\Sigma$ Modulator with Individual-Level Averaging. *Symposium on VLSI Circuits 1996, Digest of Technical Papers*, 13.–15. kesäkuuta, 1996, ss. 100–101.

- [24] Allen, P. E. & Holberg, D. R. *CMOS Analog Circuit Design, Second Edition*. Oxford University Press, USA, 2002.
- [25] Lindfors, S. CMOS Baseband Integrated Circuit Techniques for Radio Receivers. Väitöskirja, Teknillinen korkeakoulu, sähkö- ja tietoliikennetekniikan osasto, Espoo, 2000.
- [26] Naiknaware, R. & Fiez, T. Power Optimization of $\Delta\Sigma$ Analog-to-Digital Converters Based on Slewing and Partial Settling Considerations. *Proceedings of the 1998 IEEE International Symposium on Circuits and Systems*, vol. 1, 31. toukokuuta – 3. kesäkuuta, 1998, ss. 360–364.
- [27] Järvinen, J. Analog Baseband Circuits for Sensor Systems. Väitöskirja, Teknillinen korkeakoulu, elektroniikan, tietoliikenteen ja automaation tiedekunta, Espoo, 2008.
- [28] Sumanen, L. Pipeline Analog-to-Digital Converters for Wide-Band Wireless Communications. Väitöskirja, Teknillinen korkeakoulu, sähkö- ja tietoliikennetekniikan osasto, Espoo, 2002
- [29] Yong-Ping Xu, Rigby, G. & Starr, M. Effect of switch charge injection on $\Delta\Sigma$ modulator. *IEEE Region 10 International Conference on Microelectronics and VLSI, 1995. TENCON '95.*, 6–10. marraskuuta, 1995, ss.131–134.
- [30] Jingmei Lu, Yi Wang, Nuo Xu & Minglun Gao, Temperature compensation in bootstrapped current reference source. *IEEE Conference on Electron Devices and Solid-State Circuits*, 16.–18. joulukuuta, 2003, ss. 491–494.
- [31] Salomaa, J., Yüçetaş, M., Kalanti, A., Aaltonen, L. & Halonen, K. A $\Delta\Sigma$ ADC for Low Power Sensor Applications. *Proceedings of IEEE International Symposium on Circuits and Systems*, Pariisi, Ranska, 30. toukokuuta – 2. kesäkuuta, 2010, ss. 3100–3103.
- [32] Yüçetaş, M., Salomaa, J., Kalanti, A., Aaltonen, L. & Halonen, K. A Closed-Loop SC Interface for a $\pm 1.4g$ Accelerometer with 0.33% Nonlinearity and $2g/\sqrt{Hz}$ Input Noise Density. *IEEE International Solid State Circuits Conference, Digest of Technical Papers*, vol. 53, San Francisco, CA, USA, 7.–11. helmikuuta, 2010, ss. 320–321.
- [33] Yüçetaş, M., Kalanti, A., Salomaa, J., Aaltonen, L. & Halonen, K. An analog closed-loop SC accelerometer interface for a capacitive high-Q sensor element. *Proceedings of the 6th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, Berliini, Saksa, 18.–21. kesäkuuta, 2010, ss. 1–4.
- [34] Yüçetaş, M., Kalanti, A., Pulkkinen, M., Aaltonen, L., Salomaa, J. & Halonen, K. A Charge Balancing Accelerometer Sensor with Electrostatic Damping and Reduced Supply Sensitivity. [Hyväksytty julkaistavaksi.] *Proceedings of the 37th European Solid-State Circuits Conference*, Helsinki, Suomi, 12.–16. syyskuuta, 2011.

- [35] Kalanti, A., Yüçetaş, M., Salomaa, J., Aaltonen, L. & Halonen K. Charge-Pump Based Frequency Regulator for Precision Supply Generation. *Proceedings of IEEE International Symposium on Circuits and Systems*, Pariisi, Ranska, 30. toukokuuta – 2. kesäkuuta, 2010, ss. 4077–4080.

Liite A

Siirtofunktioiden johto kaksiaasteisille FB- ja IF-FB-tyyppisille $\Delta\Sigma$ -muuntimille

Seuraavassa on johdettu siirtofunktiot kaksiaasteisille FB- ja IF-FB-tyyppisille $\Delta\Sigma$ -muuntimille. Ensimmäisenä integraattorina käytetään viiveetöntä invertoivaa integraattoria ja toisena viiveellistä ei-invertoivaa integraattoria. Kvantisoija korvataan kuvan 2 mukaisesti kvantisointivirheen summaamisella. Kuvan 9 a) avulla voidaan kirjoittaa IF-FB-tyyppiselle muuntimelle lähtösignaalin $V_{out}(z)$ ja tulosignaalin $V_{in}(z)$ väliseksi riippuvuudeksi

$$V_{out}(z) = a_3 V_{in}(z) + c_3 H_2(z) \left(a_2 V_{in}(z) + c_2 H_1(z) \left(a_1 V_{in}(z) - b_1 V_{out}(z) \right) - b_2 V_{out}(z) \right). \quad (A1)$$

Termejä järjestelemällä ja sijoittamalla $H_1 = H_{nd}$ ja $H_2 = H_d$ yhtälöiden 22 ja 21 mukaisesti saadaan signaalinsiirtofunktioksi

$$\begin{aligned} STF_{IF-FB} &= \frac{V_{out}(z)}{V_{in}(z)} \\ &= \frac{a_3 + a_2 c_3 H_2(z) + a_1 c_2 c_3 H_1(z) H_2(z)}{1 + b_2 c_3 H_2(z) + b_1 c_2 c_3 H_1(z) H_2(z)} \\ &= \frac{a_3 + a_2 c_3 \frac{z^{-1}}{1-z^{-1}} + a_1 c_2 c_3 \frac{z^{-1}}{(1-z^{-1})^2}}{1 + b_2 c_3 \frac{z^{-1}}{1-z^{-1}} + b_1 c_2 c_3 \frac{z^{-1}}{(1-z^{-1})^2}} \\ &= \frac{a_3 + (a_1 c_2 c_3 + a_2 c_3 - 2a_3) z^{-1} + a_3 - (a_2 c_3) z^{-2}}{1 + (b_1 c_2 c_3 + b_2 c_3 - 2) z^{-1} + (1 - b_2 c_3) z^{-2}}. \end{aligned} \quad (A2)$$

FB-tyyppisen muuntimen signaalinsiirtofunktio saadaan asettamalla tulon myötäkytkentäkertoimet nolliksi ($a_2 = a_3 = 0$), jolloin saadaan

$$STF_{FB} = \frac{a_1 c_2 c_3 z^{-1}}{1 + (b_1 c_2 c_3 + b_2 c_3 - 2) z^{-1} + (1 - b_2 c_3) z^{-2}}. \quad (A3)$$

Vastaavasti IF-FB- ja FB-tyyppisten muuntimien lähtösignaalin $V_{out}(z)$ ja kvantisointivirheen $V_Q(z)$ väliseksi riippuvuudeksi saadaan

$$V_{out}(z) = V_Q(z) - c_3 H_2(z) \left(c_2 H_1(z) b_1 V_{out}(z) + b_2 V_{out}(z) \right). \quad (A4)$$

Termejä järjestelemällä ja sijoittamalla $H_1 = H_{nd}$ ja $H_2 = H_d$ yhtälöiden 22 ja 21 mukaisesti saadaan kvantisointikohinansiirtofunktioksi

$$\begin{aligned}
QNTF_{IF-FB} = QNTF_{FB} &= \frac{V_{out}(z)}{V_Q(z)} \\
&= \frac{1}{1 + b_2c_3H_2(z) + b_1c_2c_3H_1(z)H_2(z)} \\
&= \frac{1}{1 + b_2c_3\frac{z^{-1}}{1-z^{-1}} + b_1c_2c_3\frac{z^{-1}}{(1-z^{-1})^2}} \\
&= \frac{(1 - z^{-1})^2}{1 + (b_1c_2c_3 + b_2c_3 - 2)z^{-1} + (1 - b_2c_3)z^{-2}} .
\end{aligned} \tag{A5}$$

Liite B

Siirtofunktioiden johto kaksiaasteisille FF- ja IF-FF-tyyppisille $\Delta\Sigma$ -muuntimille

Seuraavassa on johdettu siirtofunktiot kaksiaasteisille FF- ja IF-FF-tyyppisille $\Delta\Sigma$ -muuntimille. Molempina integraattoreina käytetään viiveellistä ei-invertoivaa integraattoria. Kvantisoija korvataan kuvan 2 mukaisesti kvantisointivirheen summaamisella. Kuvan 9 b) avulla voidaan kirjoittaa IF-FF-tyyppiselle muuntimelle lähtösignaalin $V_{out}(z)$ ja tulosignaalin $V_{in}(z)$ väliseksi riippuvuudeksi

$$\begin{aligned} V_{out}(z) &= a_3V_{in}(z) + c_3H_2(z) \left(a_2V_{in}(z) + c_2H_1(z) \left(a_1V_{in}(z) - b_1V_{out}(z) \right) \right) \\ &\quad + d_3H_1(z) \left(a_1V_{in}(z) - b_1V_{out}(z) \right). \end{aligned} \quad (B1)$$

Termejä järjestelemällä ja sijoittamalla $H_1 = H_2 = H_d$ yhtälön 21 mukaisesti saadaan signaalin siirtofunktioksi

$$\begin{aligned} STF_{IF-FF} &= \frac{V_{out}(z)}{V_{in}(z)} \\ &= \frac{a_3 + a_2c_3H_2(z) + a_1d_3H_1(z) + a_1c_2c_3H_1(z)H_2(z)}{1 + b_1d_3H_1(z) + b_1c_2c_3H_1(z)H_2(z)} \\ &= \frac{a_3 + (a_2c_3 + a_1d_3)\frac{z^{-1}}{1-z^{-1}} + a_1c_2c_3\frac{z^{-2}}{(1-z^{-1})^2}}{1 + b_1d_3\frac{z^{-1}}{1-z^{-1}} + b_1c_2c_3\frac{z^{-2}}{(1-z^{-1})^2}} \\ &= \frac{a_3 + (a_1d_3 + a_2c_3 - 2a_3)z^{-1} + (a_1c_2c_3 + a_3 - a_1d_3 - a_2c_3)z^{-2}}{1 + (b_1d_3 - 2)z^{-1} + (b_1c_2c_3 - b_1d_3 + 1)z^{-2}}. \end{aligned} \quad (B2)$$

FF-tyyppisen muuntimen signaalin siirtofunktio saadaan asettamalla tulon myötäkytkentäkertoimet nolliksi ($a_2 = a_3 = 0$), jolloin saadaan

$$STF_{FF} = \frac{a_1d_3z^{-1} + (a_1c_2c_3 - a_1d_3)z^{-2}}{1 + (b_1d_3 - 2)z^{-1} + (b_1c_2c_3 - b_1d_3 + 1)z^{-2}}. \quad (B3)$$

Vastaavasti IF-FF- ja FF-tyyppisten muuntimien lähtösignaalin $V_{out}(z)$ ja kvantisointivirheen $V_Q(z)$ väliseksi riippuvuudeksi saadaan

$$V_{out}(z) = V_Q(z) - c_3H_2(z)c_2H_1(z)b_1V_{out}(z) + d_3H_1(z)b_1V_{out}(z). \quad (B4)$$

Termejä järjestelemällä ja sijoittamalla $H_1 = H_2 = H_d$ yhtälön 21 mukaisesti saadaan kvantisointikohinansiirtofunktioksi

$$\begin{aligned}
QNTF_{IF-FF} = QNTF_{FF} &= \frac{V_{out}(z)}{V_Q(z)} \\
&= \frac{1}{1 + b_1 d_3 H_1(z) + b_1 c_2 c_3 H_1(z) H_2(z)} \\
&= \frac{1}{1 + b_1 d_3 \frac{z^{-1}}{1-z^{-1}} + b_1 c_2 c_3 \frac{z^{-2}}{(1-z^{-1})^2}} \\
&= \frac{(1 - z^{-1})^2}{1 + (b_1 d_3 - 2)z^{-1} + (b_1 c_2 c_3 - b_1 d_3 + 1)z^{-2}} .
\end{aligned} \tag{B5}$$